

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2004 年 5 月 21 日 (21.05.2004)

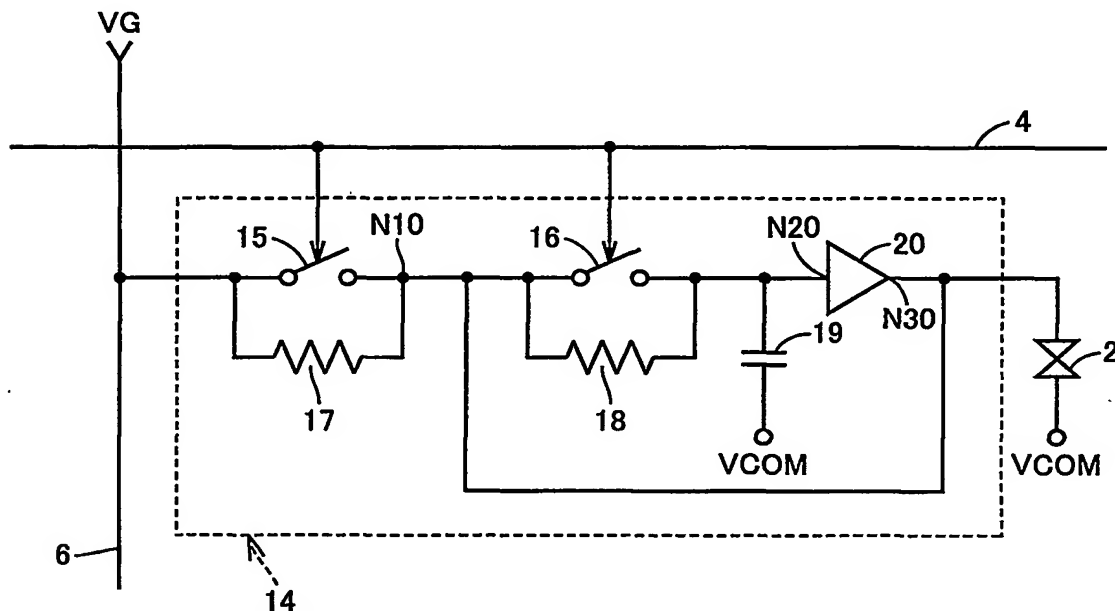
PCT

(10) 国際公開番号
WO 2004/042691 A1

- (51) 国際特許分類⁷: G09G 3/36, 3/30, G02F 1/133
- (21) 国際出願番号: PCT/JP2003/008249
- (22) 国際出願日: 2003 年 6 月 27 日 (27.06.2003)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
PCT/JP02/11587 2002 年 11 月 6 日 (06.11.2002) JP
PCT/JP03/02757 2003 年 3 月 7 日 (07.03.2003) JP
- (71) 出願人 (米国を除く全ての指定国について): 三菱電機株式会社 (MITSUBISHI DENKI KABUSHIKI KAISHA) [JP/JP]; 〒100-8310 東京都千代田区丸の内二丁目2番3号 Tokyo (JP).
- (72) 発明者; および
(75) 発明者/出願人 (米国についてのみ): 飛田 洋一 (TOBITA, Youichi) [JP/JP]; 〒100-8310 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内 Tokyo (JP).
- (74) 代理人: 深見 久郎, 外 (FUKAMI, Hisao et al.); 〒530-0054 大阪府大阪市北区南森町2丁目1番29号 三井住友銀行南森町ビル 深見特許事務所 Osaka (JP).
- (81) 指定国 (国内): CN, DE, JP, KR, US.
- 添付公開書類:
— 国際調査報告書
— 補正書
- 2 文字コード及び他の略語については、定期発行される各 PCT ガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

(54) Title: SAMPLE HOLD CIRCUIT AND IMAGE DISPLAY DEVICE USING THE SAME

(54) 発明の名称: サンプルホールド回路およびそれを用いた画像表示装置



(57) Abstract: A sample hold circuit (14) includes a first switch (15) connected between a data line (6) and a first node (N10), a second switch (16) connected between the first node (N10) and a second node (N20), a capacitor (19) connected between the second node (N20) and a common potential (VCOM) line, and a drive circuit (20) for supplying potential equal to the second node (N20) to one electrode of the first node (N10) and a liquid crystal cell (2). The first switch (15) and the second switch (16) are electrically connected when a scan line (4) is at the "H" level.

[続葉有]



(57) 要約: このサンプルホールド回路(14)は、データ線(6)と第1ノード(N10)との間に接続された第1スイッチ(15)と、第1ノード(N10)と第2ノード(N20)との間に接続された第2スイッチ(16)と、第2ノード(N20)と共通電位(VCOM)のラインとの間に接続されたキャパシタ(19)と、第2ノード(N20)に等しい電位を第1ノード(N10)および液晶セル(2)の一方電極に与える駆動回路(20)とを備えたものである。第1スイッチ(15)および第2スイッチ(16)は、走査線(4)が「H」レベルの場合に導通する。

明細書

サンプルホールド回路およびそれを用いた画像表示装置

5 技術分野

この発明はサンプルホールド回路およびそれを用いた画像表示装置に関し、特に、入力電位をサンプリングし、サンプリングした電位を保持および出力するサンプルホールド回路と、それを用いた画像表示装置とに関する。

10 背景技術

図76は、従来の液晶表示装置の要部を示す回路図である。図76において、この液晶表示装置では、走査線301とデータ線302の交差部に液晶セル303およびサンプルホールド回路304が配置されている。サンプルホールド回路304は、スイッチ305およびキャパシタ307を含む。スイッチ305は、データ線302とノードN300との間に接続され、走査線301が選択レベルの「H」レベルの期間に導通する。スイッチ305は、寄生抵抗を有する。図76では、寄生抵抗は、スイッチ305に並列接続された抵抗素子306で示されている。キャパシタ307は、ノードN300と共通電位VCOMのラインとの間に接続される。液晶セル303は、ノードN300と共通電位VCOMのラインとの間に接続される。

走査線301が選択レベルの「H」レベルに立上げられると、スイッチ305が導通し、ノードN300はデータ線302の電位に充電される。走査線301が非選択レベルの「L」レベルに立下げられると、スイッチ305が非導通になり、ノードN300の電位はキャパシタ307によって保持される。液晶セル303は、ノードN300の電位に応じた光透過率を示す。

しかし、従来の液晶表示装置では、走査線301が「L」レベルにされた状態でデータ線302の電位が変化したときに、抵抗素子306を介してノードN300とデータ線302との間にリーク電流が流れ、ノードN300の電位が変化してしまう。このため所定周期でノードN300の電位をリフレッシュ（再書

込) する必要があり、比較的大きな電力が消費されていた。

発明の開示

5 それゆえに、この発明の主たる目的は、保持電位の変化が小さいサンプルホールド回路と、それを用いた画像表示装置とを提供することである。

この発明に係るサンプルホールド回路では、その一方電極が入力電位を受け、第1の期間に導通する第1のスイッチング素子と、その一方電極が第1のスイッチング素子の他方電極に接続され、第2の期間に導通する第2のスイッチング素子と、その一方電極が第1のスイッチング素子の他方電極に接続され、その他方電極が所定の電位を受ける第1のキャパシタと、その入力ノードが第2のスイッチング素子の他方電極に接続され、その出力ノードが第1のスイッチング素子の他方電極に接続され、入力ノードの電位に応じた電位を出力ノードに出力する駆動回路とが設けられる。したがって、第1および第2のスイッチング素子を第1および第2の期間に導通させて入力電位をサンプリングした後に、入力電位が変化したときでも、第1のスイッチング素子の他方電極の電位を駆動回路によって保持するので、サンプリングした電位の変化が小さくて済む。

10

15

また、この発明に係る画像表示装置では、上記サンプルホールド回路と、その出力電位によって駆動される液晶セルまたは発光素子とが設けられる。この場合は、階調電位または階調電流のリフレッシュの頻度が少なくて済み、消費電力の低減化を図ることができる。

20

図面の簡単な説明

図1は、この発明の実施の形態1によるカラー液晶表示装置の全体構成を示すブロック図である。

25 図2は、図1に示した水平走査回路の要部を示す回路ブロック図である。

図3は、図1に示した各液晶セルに対応して設けられたサンプルホールド回路の構成を示す回路図である。

図4は、図3に示した駆動回路の構成を示す回路図である。

図5は、図4に示した駆動回路の動作を説明するための回路図である。

図 6 は、図 4 に示した駆動回路の動作を説明するためのタイムチャートである。

図 7 は、実施の形態 1 の変更例を示す回路図である。

図 8 は、実施の形態 1 の他の変更例を示す回路図である。

図 9 は、実施の形態 1 のさらに他の変更例を示す回路図である。

5 図 10 は、実施の形態 1 のさらに他の変更例を示す回路図である。

図 11 は、実施の形態 1 のさらに他の変更例を示す回路図である。

図 12 は、この発明の実施の形態 2 によるサンプルホールド回路の駆動回路の構成を示す回路図である。

図 13 は、図 12 に示した駆動回路の構成をより詳細に示す回路図である。

10 図 14 は、実施の形態 2 の変更例を示す回路図である。

図 15 は、実施の形態 2 の他の変更例を示す回路図である。

図 16 は、実施の形態 2 のさらに他の変更例を示す回路図である。

図 17 は、この発明の実施の形態 3 によるサンプルホールド回路の駆動回路の構成を示す回路図である。

15 図 18 は、図 17 に示した駆動回路の動作を示すタイムチャートである。

図 19 は、実施の形態 3 の変更例を示す回路図である。

図 20 は、この発明の実施の形態 4 によるサンプルホールド回路の駆動回路の構成を示す回路図である。

図 21 は、実施の形態 4 の変更例を示す回路図である。

20 図 22 は、実施の形態 4 の他の変更例を示す回路図である。

図 23 は、実施の形態 4 のさらに他の変更例を示す回路図である。

図 24 は、実施の形態 4 のさらに他の変更例を示す回路図である。

図 25 は、実施の形態 4 のさらに他の変更例を示す回路図である。

25 図 26 は、この発明の実施の形態 5 によるサンプルホールド回路の駆動回路の構成を示す回路図である。

図 27 は、図 26 に示した駆動回路の動作を示すタイムチャートである。

図 28 は、実施の形態 5 の変更例を示す回路図である。

図 29 は、この発明の実施の形態 6 によるサンプルホールド回路の駆動回路の構成を示す回路図である。

図 30 は、実施の形態 6 の変更例を示す回路図である。

図 31 は、この発明の実施の形態 7 によるサンプルホールド回路の駆動回路の構成を示す回路図である。

図 32 は、図 31 に示した駆動回路の構成を示す回路図である。

5 図 33 は、この発明の実施の形態 8 によるサンプルホールド回路のオフセット補償機能付駆動回路の構成を示す回路ブロック図である。

図 34 は、図 33 に示したオフセット補償機能付駆動回路の動作を示すタイムチャートである。

10 図 35 は、この発明の実施の形態 9 によるサンプルホールド回路のオフセット補償機能付駆動回路の構成を示す回路ブロック図である。

図 36 は、図 35 に示したオフセット補償機能付駆動回路の動作を示すタイムチャートである。

図 37 は、図 35 に示したオフセット補償機能付駆動回路の動作を示す他のタイムチャートである。

15 図 38 は、実施の形態 9 の変更例を示す回路図である。

図 39 は、実施の形態 9 の他の変更例を示す回路図である。

図 40 は、実施の形態 9 のさらに他の変更例を示す回路図である。

図 41 は、実施の形態 9 のさらに他の変更例を示す回路図である。

図 42 は、実施の形態 9 のさらに他の変更例を示す回路図である。

20 図 43 は、実施の形態 9 のさらに他の変更例を示す回路図である。

図 44 は、実施の形態 9 のさらに他の変更例を示す回路図である。

図 45 は、実施の形態 9 のさらに他の変更例を示す回路図である。

図 46 は、実施の形態 9 のさらに他の変更例を示す回路図である。

図 47 は、実施の形態 9 のさらに他の変更例を示す回路図である。

25 図 48 は、実施の形態 9 のさらに他の変更例を示す回路図である。

図 49 は、実施の形態 9 のさらに他の変更例を示す回路図である。

図 50 は、この発明の実施の形態 10 によるサンプルホールド回路のオフセット補償機能付駆動回路の構成を示す回路ブロック図である。

図 51 は、図 50 に示したオフセット補償機能付駆動回路の動作を示すタイム

チャートである。

図 5 2 は、図 5 0 に示したオフセット補償機能付駆動回路の動作を示す他のタイムチャートである。

図 5 3 は、この発明の実施の形態 1 1 によるサンプルホールド回路のオフセット補償機能付駆動回路の構成を示す回路ブロック図である。

図 5 4 は、図 5 3 に示したオフセット補償機能付駆動回路の動作を示すタイムチャートである。

図 5 5 は、この発明の実施の形態 1 2 によるサンプルホールド回路のプッシュ型駆動回路の構成を示す回路図である。

図 5 6 は、図 5 5 に示したプッシュ型駆動回路の構成をより詳細に示す回路図である。

図 5 7 は、実施の形態 1 2 の変更例を示す回路図である。

図 5 8 は、実施の形態 1 2 の他の変更例を示す回路図である。

図 5 9 は、この発明の実施の形態 1 3 によるサンプルホールド回路のプル型駆動回路の構成を示す回路図である。

図 6 0 は、実施の形態 1 3 の変更例を示す回路図である。

図 6 1 は、この発明の実施の形態 1 4 によるサンプルホールド回路の駆動回路の構成を示す回路ブロック図である。

図 6 2 は、実施の形態 1 4 の変更例を示す回路図である。

図 6 3 は、実施の形態 1 4 の他の変更例を示す回路図である。

図 6 4 は、実施の形態 1 4 のさらに他の変更例を示す回路図である。

図 6 5 は、図 6 4 に示した駆動回路の構成をより詳細に示す回路図である。

図 6 6 は、この発明の実施の形態 1 5 によるカラー液晶表示装置の要部を示す回路図である。

図 6 7 は、この発明の実施の形態 1 6 によるカラー液晶表示装置の要部を示す回路図である。

図 6 8 は、図 6 7 に示した駆動回路の構成を示す回路図である。

図 6 9 は、図 6 8 に示した駆動回路の動作を示すタイムチャートである。

図 7 0 は、実施の形態 1 6 の変更例を示す回路図である。

図 7 1 は、実施の形態 1 6 の他の変更例を示す回路図である。

図 7 2 は、実施の形態 1 6 のさらに他の変更例を示す回路図である。

図 7 3 は、実施の形態 1 6 のさらに他の変更例を示す回路図である。

図 7 4 は、この発明の実施の形態 1 7 による画像表示装置の要部を示す回路ブロック図である。

図 7 5 は、この発明の実施の形態 1 8 による画像表示装置の要部を示す回路ブロック図である。

図 7 6 は、従来の液晶表示装置の要部を示す回路図である。

発明を実施するための最良の形態

10 [実施の形態 1]

図 1 は、この発明の実施の形態 1 によるカラー液晶表示装置の構成を示すブロック図である。図 1 において、このカラー液晶表示装置は、液晶パネル 1、垂直走査回路 7 および水平走査回路 8 を備え、たとえば携帯電話機に設けられる。

液晶パネル 1 は、複数行複数列に配列された複数の液晶セル 2 と、各行に対応して設けられた走査線 4 および共通電位線 5 と、各列に対応して設けられたデータ線 6 とを含む。

液晶セル 2 は、各行において 3 つずつ予めグループ化されている。各グループの 3 つの液晶セル 2 には、それぞれ R、G、B のカラーフィルタが設けられている。各グループの 3 つの液晶セル 2 は、1 つの画素 3 を構成している。

20 垂直走査回路 7 は、画像信号に従って、複数の走査線 4 を所定時間ずつ順次選択し、選択した走査線 4 を選択レベルの「H」レベルにする。走査線 4 が選択レベルの「H」レベルにされると、その走査線 4 に対応する各液晶セル 2 とその液晶セル 2 に対応するデータ線 6 とが結合される。

25 水平走査回路 8 は、画像信号に従って、垂直走査回路 7 によって 1 本の走査線 4 が選択されている間に複数のデータ線 6 をたとえば 1 2 本ずつ順次選択し、選択した各データ線 6 に階調電位 V_G を与える。液晶セル 2 の光透過率は、階調電位 V_G のレベルに応じて変化する。

垂直走査回路 7 および水平走査回路 8 によって液晶パネル 1 の全液晶セル 2 が走査されると、液晶パネル 1 には 1 つの画像が表示される。

図2は、図1に示した水平走査回路8の要部を示す回路ブロック図である。図2において、水平走査回路8は、階調電位発生回路10および駆動回路13を含む。階調電位発生回路10および駆動回路13は、水平走査回路8によって同時に選択されるデータ線6の数（この場合は12）だけ設けられている。

5 階調電位発生回路10は、第1電源電位 V_1 （5V）のノードと第2電源電位 V_2 （0V）のノードとの間に直列接続された $n+1$ 個（ただし、 n は自然数である）の抵抗素子11. 1～11. $n+1$ と、 $n+1$ 個の抵抗素子11. 1～11. $n+1$ の間の n 個のノードと出力ノード10aとの間にそれぞれ接続された n 個のスイッチ12. 1～12. n とを含む。

10 $n+1$ 個の抵抗素子11. 1～11. $n+1$ の間の n 個のノードには、それぞれ n 段階の電位が現われる。スイッチ12. 1～12. n は、画像濃度信号 ϕP によって制御され、それらのうちのいずれか1つのみが導通状態にされる。出力ノード10aには、 n 段階の電位のうちのいずれか1つの段階の電位が階調電位 V_G として出力される。駆動回路13は、選択されたデータ線6が階調電位 V_G になるようにデータ線6に電流を供給する。

15 図3は、各液晶セル2に対応して設けられたサンプルホールド回路14の構成を示す回路図である。図3において、このサンプルホールド回路14は、スイッチ15、16、キャパシタ19および駆動回路20を含む。スイッチ15、16は、対応のデータ線6と駆動回路20の入力ノードN20との間に直列接続される。スイッチ15、16は、ともに、対応の走査線4が選択レベルの「H」レベルの場合に導通し、対応の走査線4が非選択レベルの「L」レベルの場合に非導通になる。

20 スイッチ15、16の各々の端子間には寄生抵抗が存在する。図3では、スイッチ15、16の寄生抵抗は、それぞれ抵抗素子17、18で示されている。抵抗素子17、18は、それぞれスイッチ15、16に並列接続されている。スイッチ15、16の各々は、たとえば、N型トランジスタ、またはP型トランジスタ、または並列接続されたN型トランジスタおよびP型トランジスタで構成される。走査線4は、スイッチ15、16に含まれるN型トランジスタのゲートに直接接続される。また走査線4は、スイッチ15、16に含まれるP型トランジスタ

タのゲートにインバータを介して接続される。

5 キャパシタ 19 の一方電極はノード N 20 に接続され、キャパシタ 19 の他方電極は共通電位線 5 から共通電位 V COM を受ける。駆動回路 20 は、入力ノード N 20 の電位に等しい電位を出力ノード N 30 に出力する。駆動回路 20 の出力ノード N 30 は、スイッチ 15 と 16 の間のノード N 10 に接続されるとともに、液晶セル 2 の一方電極に接続される。液晶セル 2 の他方電極には共通電位 V COM が与えられる。

次に、このサンプルホールド回路 14 の動作について説明する。走査線 4 が選択レベルの「H」レベルにされると、スイッチ 15, 16 が導通し、ノード N 10, N 20, N 30 の電位がデータ線 6 の電位と同じになる。走査線 4 が非選択レベルの「L」レベルにされると、ノード N 20 の電位はキャパシタ 19 によって保持される。ノード N 10 の電位は、駆動回路 20 によってノード N 20 と同じ電位に保持される。ノード N 20 の電位は、抵抗素子 17, 18 を介してデータ線 6 の電位変化に影響を受けて変化しようとするが、ノード N 10 の電位を駆動回路 20 によって保持するので、データ線 6 の電位変化がノード N 10 の電位に対して及ぼす影響は従来に比べて小さい。

図 4 は、駆動回路 20 の構成を示す回路図である。図 4 において、駆動回路 20 は、レベルシフト回路 21, 25、キャパシタ 29、プルアップ回路 30 およびプルダウン回路 33 を含む。

20 レベルシフト回路 21 は、第 3 電源電位 V 3 (1.5 V) のノードと接地電位 GND のノードとの間に直列接続された抵抗素子 22、N 型電界効果トランジスタ (以下、N 型トランジスタと称す) 23 および P 型電界効果トランジスタ (以下、P 型トランジスタと称す) 24 を含む。N 型トランジスタ 23 のゲートは、そのドレイン (ノード N 22) に接続されている。N 型トランジスタ 23 は、ダイオード素子を構成する。P 型トランジスタ 24 のゲートは、入力ノード N 20 に接続される。抵抗素子 22 の抵抗値は、トランジスタ 23, 24 の導通抵抗値よりも十分大きな値に設定されている。

25 入力ノード N 20 の電位 (階調電位) を V I とし、P 型トランジスタのしきい値電圧を V T P とし、N 型トランジスタのしきい値電圧を V T N とすると、P 型

トランジスタ 24 のソース (ノード N23) の電位 V_{23} および N 型トランジスタ 23 のドレイン (ノード N22) の電位 V_{22} はそれぞれ次式 (1) (2) で表わされる。

$$V_{23} = V_I + |V_{TP}| \quad \dots (1)$$

5 $V_{22} = V_I + |V_{TP}| + V_{TN} \quad \dots (2)$

したがって、レベルシフト回路 21 は、入力電位 V_I を $|V_{TP}| + V_{TN}$ だけレベルシフトさせた電位 V_{22} を出力する。

レベルシフト回路 25 は、第 4 電源電位 V_4 (5 V) のノードと第 5 電源電位 V_5 (-10 V) との間に直列接続された N 型トランジスタ 26、P 型トランジスタ 27 および抵抗素子 28 を含む。N 型トランジスタ 26 のゲートは、入力ノード N20 に接続される。P 型トランジスタ 27 のゲートは、そのドレイン (ノード N27) に接続される。P 型トランジスタ 27 は、ダイオード素子を構成する。抵抗素子 28 の抵抗値は、トランジスタ 26, 27 の導通抵抗値よりも十分大きな値に設定されている。

15 N 型トランジスタ 26 のソース (ノード N26) の電位 V_{26} および P 型トランジスタ 27 のドレイン (ノード N27) の電位 V_{27} は、それぞれ次式 (3) (4) で表わされる。

$$V_{26} = V_I - V_{TN} \quad \dots (3)$$

$$V_{27} = V_I - V_{TN} - |V_{TP}| \quad \dots (4)$$

20 したがって、レベルシフト回路 25 は、入力電位 V_I を $-V_{TN} - |V_{TP}|$ だけレベルシフトさせた電位 V_{27} を出力する。

25 キャパシタ 29 は、レベルシフト回路 21 の出力ノード N22 とレベルシフト回路 25 の出力ノード N27 との間に接続される。キャパシタ 26 は、ノード N22 の電位変化をノード N27 に伝達するとともに、ノード N27 の電位変化をノード N27 に伝達する。

プリアップ回路 30 は、第 6 電源電位 V_6 (15 V) のノードと出力ノード N30 との間に直列接続された N 型トランジスタ 31 および P 型トランジスタ 32 を含む。出力ノード N30 には、負荷容量 (液晶セル 2 およびスイッチ 15, 16 の寄生容量) 36 が接続されている。N 型トランジスタ 31 のゲートは、レベ

ルシフト回路 21 の出力電位 V_{22} を受ける。P 型トランジスタ 32 のゲートは、そのドレインに接続されている。P 型トランジスタ 30 は、ダイオード素子を構成する。N 型トランジスタ 31 は飽和領域で動作するように第 6 電源電位 V_6 が設定されているので、N 型トランジスタ 31 はいわゆるソースフォロア動作を行なう。

今、説明の都合上、図 5 に示すように、P 型トランジスタ 32 のドレイン（ノード $N_{30'}$ ）と出力ノード N_{30} との間が非導通状態にあると仮定する。N 型トランジスタ 31 のソース（ノード N_{31} ）の電位 V_{31} および P 型トランジスタ 32 のドレイン（ノード $N_{30'}$ ）の電位 $V_{30'}$ は、それぞれ次式（5）（6）で表わされる。

$$V_{31} = V_{22} - V_{TN} = V_I + |V_{TP}| \quad \dots (5)$$

$$V_{30'} = V_{31} - |V_{TP}| = V_I \quad \dots (6)$$

図 4 に戻って、プルダウン回路 33 は、第 7 電源電位 V_7 （ $-10V$ ）のノードと出力ノード N_{30} との間に直列接続された P 型トランジスタ 35 および N 型トランジスタ 34 を含む。P 型トランジスタ 35 のゲートは、レベルシフト回路 25 の出力電位 V_{27} を受ける。N 型トランジスタ 34 のゲートは、そのドレインに接続されている。N 型トランジスタ 34 は、ダイオード素子を構成する。P 型トランジスタ 35 は飽和領域で動作するように第 7 電源電位 V_7 が設定されているので、P 型トランジスタ 35 はいわゆるソースフォロア動作を行なう。

今、説明の都合上、図 5 に示すように、N 型トランジスタ 34 のドレイン（ノード $N_{30''}$ ）と出力ノード N_{30} との間が非導通状態にあると仮定する。P 型トランジスタ 35 のソース（ノード N_{34} ）の電位 V_{34} および N 型トランジスタ 34 のドレイン（ノード $N_{30''}$ ）の電位 $V_{30''}$ は、それぞれ次式（7）（8）で表わされる。

$$V_{34} = V_{27} + |V_{TP}| = V_I - V_{TN} \quad \dots (7)$$

$$V_{30''} = V_{34} + V_{TN} = V_I \quad \dots (8)$$

数式（7）（8）は、P 型トランジスタ 32 のドレイン（ノード $N_{30'}$ ）と N 型トランジスタ 34 のドレイン（ノード $N_{30''}$ ）とを接続しても第 6 電源電位 V_6 のノードと第 7 電源電位 V_7 のノードとの間には電流は流れず、出力ノード

ドN30の電位VOが入力ノードN20の電位VIと同じになることを示している。したがって、抵抗素子22, 28の抵抗値を十分に大きくしておけば、 $VO = VI$ となった定常状態では、貫通電流は極めて小さくなる。

図6は、この駆動回路20の交流動作（遷移状態での動作）を説明するための
5 タイムチャートである。図6において、初期状態では、 $VI = VL$ とされているものとする。これにより、V22, V27, VOは、それぞれ以下のようになっている。

$$V22 = VL + |VTP| + VTN$$

$$V27 = VL - |VTP| - VTN$$

10 $VO = VL$

時刻t1においてVIがVLからVHに立上げられると、V22, V27, VOは所定時間の経過後にそれぞれ以下のようになる。

$$V22 = VH + |VTP| + VTN$$

$$V27 = VH - |VTP| - VTN$$

15 $VO = VH$

このレベル変化の過程で、以下の動作が行なわれる。レベルシフト回路25では、時刻t1において入力電位VIがVLからVHに立上げられると、N型トランジスタ26の駆動能力が高くなり、ノードN26の電位V26が急速に上昇する。これにより、P型トランジスタ27のソースゲート間電圧が大きくなって
20 P型トランジスタ27の駆動能力も高くなり、ノードN27の電位V27が急速に上昇する。

ノードN27の電位V27が急速に上昇すると、容量結合によってキャパシタ29を介してノードN22の電位V22がVH-VL分だけ急速に上昇する。これに応じて出力ノードN30の電位VOもVLからVHに急速に立上げられる。

25 また時刻t2において入力電位VIがVHからVLに立下げられると、P型トランジスタ24の駆動能力が高くなり、ノードN23の電位V23が急速に低下する。これにより、N型トランジスタ23のゲートソース間電圧が大きくなってN型トランジスタ23の駆動能力も高くなり、ノードN22の電位V22が急速に低下する。

ノードN22の電位V22が急速に低下すると、容量結合によってキャパシタ26を介してノードN27の電位V27が $V_H - V_L$ 分だけ急速に低下する。これに応じて出力ノードN30の電位VOも V_H から V_L に急速に立下げられる。

5 また駆動回路20では、定常状態ではプルアップ回路30およびプルダウン回路33に貫通電流は流れず、抵抗素子22, 26の抵抗値をトランジスタ23, 24, 26, 27の導通抵抗値よりも十分高くすることによりレベルシフト回路21, 25の貫通電流も小さくすることができるので、直流電流の低減化を図ることができる。また、キャパシタ26を設けたので、入力電位VIの変化に対しても迅速に応答することができる。

10 この実施の形態1では、サンプルホールド回路14において、データ線6と駆動回路20の入力ノードN20との間に2つのスイッチ15, 16を直列接続し、駆動回路20によってスイッチ15, 16間のノードN10の電位をノードN20の電位に保持するので、データ線6の電位が変化した場合でもノードN10, N20, N30の電位変化を小さく抑えることができる。したがって、ノードN
15 10, N20, N30の電位をリフレッシュする頻度を少なくすることができ、消費電力の低減化を図ることができる。

20 なお、液晶セル2の駆動電圧の極性を所定周期で切替えることにより、液晶表示装置の低消費電力化を図ることも可能である。液晶セル2の駆動電圧の極性を所定周期で切替える方法としては、たとえば、図2の第1電源電位V1を所定周期で5Vおよび0Vに交互に切替え、第2電源電位V2を0Vおよび5Vに所定周期で交互に切替え、図3の共通電位VCOMを所定周期で0Vおよび5Vに交互に切替える方法がある。

25 また、サンプルホールド回路14は、液晶表示装置のような画像表示装置において階調電位をサンプリングおよびホールドすることに用いられるだけでなく、アナログ電位をサンプリングおよびホールドして負荷回路に与える回路としてどのような用途にも使用可能であることは言うまでもない。

また、駆動回路20は、液晶表示装置のような画像表示装置において階調電位を伝達することに用いられるだけでなく、入力されたアナログ電位と同電位になるように出力ノードの電位を制御するアナログバッファとしてどのような用途に

も使用可能であることは言うまでもない。

また、駆動回路 20 の電界効果トランジスタは、MOS トランジスタでもよいし、TF T (薄膜トランジスタ) でもよい。また、抵抗素子は高誘電金属で形成してもよいし、不純物拡散層で形成してもよいし、占有面積低減化のために電界効果トランジスタで形成してもよい。

また、電界効果トランジスタをTF Tで構成する場合は、抵抗素子を真性 a-Si 薄膜で構成するとよい。すなわち、TF Tは、ガラス基板上に形成された真性 a-Si 薄膜の表面にゲート電極を形成し、ゲート電極の上方から所定領域に不純物を注入してゲート電極の一方側および他方側にそれぞれソースおよびドレインを形成したものである。ゲート電極によってマスクされて不純物が注入されていない部分がチャネル領域となる。チャネルができないときのチャネル領域の抵抗値、すなわち非導通時のTF Tの抵抗値は、 $10^{12} \Omega$ オーダになる。

抵抗素子をトランジスタと同じサイズにすると、抵抗素子の抵抗値が非導通時のトランジスタの抵抗値と同程度になり、レベルシフト回路 21, 25 の電源電圧 V3, V4-V5 が抵抗素子とトランジスタで分圧されて出力レベル V22, V27 が低下し、所望の電位が得られなくなる。これを防止するためには、抵抗素子の抵抗値をトランジスタのオフ抵抗値よりも小さくする必要がある。たとえば、抵抗素子の幅をトランジスタの幅の 10~100 倍にして抵抗素子の抵抗値をトランジスタの抵抗値の $1/10 \sim 1/100$ 倍にするとよい。あるいは、不純物を注入した a-Si 膜で抵抗素子を構成すれば、抵抗素子の面積を大きくすることなく、抵抗素子の抵抗値を小さくすることができる。

以下、種々の変更例について説明する。図 7 の駆動回路 40 は、図 4 の駆動回路 20 からキャパシタ 29 を除去したものである。負荷容量 36 の容量値が比較的小さい場合は、トランジスタ 23, 24, 26, 27, 31, 32, 34, 35 の寸法を小さくすることができる。トランジスタ 23, 27, 31, 35 の寸法を小さくするとトランジスタ 23, 27, 31, 35 のゲート容量が小さくなり、ノード N22, N27 の寄生容量が小さくなる。したがって、キャパシタ 29 がなくても抵抗素子 22, 28 を介して行われる充放電によってノード N22, N27 の電位 V22, V27 の立上げおよび立下げが可能となる。この変更例で

は、キャパシタ 29 を除去したので、回路の占有面積が小さくてすむ。

図 8 の駆動回路 41 は、図 4 の駆動回路 20 からダイオード接続されたトランジスタ 23, 27, 32, 34 を除去したものである。出力電位 V_O は、 $V_O = V_I + |V_{TP}| - V_{TN}$ となる。ただし、 $|V_{TP}| \approx V_{TN}$ と設定すれば、 $V_O \approx V_I$ となる。あるいは、 $|V_{TP}| - V_{TN}$ の値をオフセット値として使用上考慮しておけば図 4 の駆動回路 20 と同様に使用することができる。この変更例では、トランジスタ 23, 27, 32, 34 を除去したので、回路の占有面積を小さくすることができる。

図 9 の駆動回路 42 は、図 8 の駆動回路 37 からさらにキャパシタ 29 を除去したものである。負荷容量 36 の容量値が比較的小さい場合は、トランジスタ 24, 26, 31, 35 の寸法を小さくすることができ、ノード N_{22} , N_{27} の寄生容量を小さくすることができる。したがって、キャパシタ 29 がなくても抵抗素子 22, 28 を介して行われる充放電によってノード N_{22} , N_{27} の電位 V_{22} , V_{27} の立上げおよび立下げが可能となる。この変更例では、キャパシタ 29 を除去したので、回路の占有面積をさらに小さくすることができる。

図 10 のカラー液晶表示装置では、各行に対応して 2 本の走査線 4a, 4b が設けられる。スイッチ 15, 16 は、それぞれ走査線 4a, 4b が選択レベルの「H」レベルの場合に導通する。スイッチ 15, 16 が同時にオンされ、スイッチ 16 がオフされた後にスイッチ 15 がオフされる。この場合は、駆動回路 20 の動作の安定化を図ることができる。

図 11 の画像表示装置は、実施の形態 1 のカラー液晶表示装置において液晶セル 2 を P 型トランジスタ 50 および有機 EL (エレクトロルミネッセンス) 素子 51 で置換したものである。P 型トランジスタ 50 および有機 EL 素子 51 は、電源電位 V_{CC} のラインと接地電位 GND のラインとの間に直列接続される。P 型トランジスタ 50 のゲートは、駆動回路 20 の出力ノード N_{30} に接続される。駆動回路 20 の出力電位に応じて P 型トランジスタ 50 の導通抵抗値が変化し、有機 EL 素子 51 に流れる電流値が変化する。これにより、有機 EL 素子 51 の明るさが変化する。有機 EL 素子 51 は、複数行複数列に配置されて 1 枚のパネルを構成し、そのパネルには 1 つの画像が表示される。

[実施の形態 2]

図 1 2 は、この発明の実施の形態 2 によるサンプルホールド回路の駆動回路 6 0 の構成を示す回路図である。図 1 2 を参照して、この駆動回路 6 0 が図 4 の駆動回路 2 0 と異なる点は、レベルシフト回路 2 1, 2 5 がそれぞれレベルシフト回路 6 1, 6 3 で置換されている点である。レベルシフト回路 6 1 はレベルシフト回路 2 1 の抵抗素子 2 2 を定電流源 6 2 で置換し、レベルシフト回路 6 3 はレベルシフト回路 2 5 の抵抗素子 2 8 を定電流源 6 4 で置換したものである。

定電流源 6 2 は、図 1 3 に示すように、P 型トランジスタ 6 5, 6 6 および抵抗素子 6 7 を含む。P 型トランジスタ 6 5 は第 3 電源電位 V_3 のラインとノード N_{22} との間に接続され、P 型トランジスタ 6 6 および抵抗素子 6 7 は第 3 電源電位 V_3 のラインと接地電位 GND のラインとの間に直列接続される。P 型トランジスタ 6 5, 6 6 のゲートは、ともに P 型トランジスタ 6 6 のドレインに接続される。P 型トランジスタ 6 5, 6 6 は、カレントミラー回路を構成する。P 型トランジスタ 6 6 および抵抗素子 6 7 には抵抗素子 6 7 の抵抗値に応じた値の定電流が流れ、P 型トランジスタ 6 5 には P 型トランジスタ 6 6 に流れる定電流の値に応じた値の定電流が流れる。なお、抵抗素子 6 7 の一方電極は接地電位 GND のラインに接続されているが、第 3 電源電位 V_3 から P 型トランジスタ 6 6 のしきい値電圧の絶対値 $|V_{TP}|$ を減算した電位よりも低い他の電源電位のラインに抵抗素子 6 7 の一方電極を接続してもよい。また、定電流源としてトランジスタ 6 5, 6 6 および抵抗素子 6 7 の代りに、ゲートとソースを互いに接続したデプレッション型のトランジスタを第 3 電源電位 V_3 のラインとノード N_{22} との間に設けてもよい。

また定電流源 6 4 は、抵抗素子 6 8 および N 型トランジスタ 6 9, 7 0 を含む。抵抗素子 6 8 および N 型トランジスタ 6 9 は第 4 電源電位 V_4 のラインと第 5 電源電位 V_5 のラインとの間に直列接続され、N 型トランジスタ 7 0 はノード N_{27} と第 5 電源電位 V_5 のラインとの間に接続される。N 型トランジスタ 6 9, 7 0 のゲートは、ともに N 型トランジスタ 6 9 のドレインに接続される。N 型トランジスタ 6 9, 7 0 は、カレントミラー回路を構成する。抵抗素子 6 8 および N 型トランジスタ 6 9 には抵抗素子 6 8 の抵抗値に応じた値の定電流が流れ、N 型

トランジスタ 70 には N 型トランジスタ 69 に流れる定電流の値に応じた値の定電流が流れる。なお、抵抗素子 68 の一方電極は第 4 電源電位 V_4 に接続されているが、第 5 電源電位 V_5 に N 型トランジスタ 69 のしきい値電圧 V_{TN} を加算した電位よりも高い他の電源電位のラインに抵抗素子 68 の一方電極を接続してもよい。また、定電流源としてトランジスタ 69, 70 および抵抗素子 68 の代りに、ゲートとソースを互いに接続したデプレッション型のトランジスタを第 5 電源電位 V_5 のラインとノード N27 との間に設けてもよい。他の構成および動作は、図 4 の駆動回路 20 と同じであるので、その説明は繰返さない。

この実施の形態 2 では、図 4 の駆動回路 20 の抵抗素子 22, 28 をそれぞれ定電流源 62, 64 で置換したので入力電位 V_I の値に関係なく、入力電位 V_I に等しい出力電位 V_O を得ることができる。

以下、この実施の形態 2 の種々の変更例について説明する。図 14 の駆動回路 71 は、図 12 の駆動回路 60 からキャパシタ 29 を除去したものである。この変更例は、負荷容量 36 の容量値が比較的小さい場合に有効となる。この変更例では、キャパシタ 29 を除去したので、回路の占有面積が小さくてすむ。

図 15 の駆動回路 72 は、図 13 の駆動回路 60 から N 型トランジスタ 23, 34 および P 型トランジスタ 27, 32 を除去したものである。この変更例では、トランジスタ 23, 27, 32, 34 を除去したので、回路の占有面積を小さくすることができる。ただし、出力電位 V_O は、 $V_O = V_I + |V_{TP}| - V_{TN}$ となる。

図 16 の駆動回路 73 は、図 15 の駆動回路 72 からキャパシタ 29 を除去したものである。この変更例は、負荷容量 36 の容量値が比較的小さい場合に有効となる。この変更例では、キャパシタ 29 を除去したので、回路の占有面積が小さくてすむ。

25 [実施の形態 3]

たとえば図 4 の駆動回路 20 において、負荷容量 36 を充放電する際、トランジスタ 31, 32, 34, 35 の各々はいわゆるソースフォロア動作を行なう。その際、出力電位 V_O が入力電位 V_I に近づくにつれてトランジスタ 31, 32, 34, 35 の各々のゲート-ソース間電圧が小さくなり、トランジスタ 31, 3

2, 3 4, 3 5の電流駆動能力が低下する。トランジスタ3 2, 3 4についてはそれらのゲート電極幅を広くすることによって駆動能力の低下を防ぐことが可能になるが、トランジスタ3 1, 3 5のゲート電極幅を広くするとゲート容量が増大し、駆動回路2 0の動作速度が低下してしまう。この実施の形態7では、この問題の解決が図られる。

図1 7は、この発明の実施の形態3によるサンプルホールド回路の駆動回路7 5の構成を示す回路図である。図1 7を参照して、この駆動回路7 5は、図1 4の駆動回路7 1にキャパシタ7 6, 7 7を追加したものである。キャパシタ7 6の一方電極は昇圧信号 ϕ Bを受け、その他方電極はノードN 2 2に接続される。キャパシタ7 7の一方電極は昇圧信号 ϕ Bの相補信号 $\neg \phi$ Bを受け、その他方電極はノードN 2 7に接続される。

図1 8は、図1 7に示した駆動回路7 5の動作を示すタイムチャートである。図1 8では、理解を容易にするため、ノードN 2 2, N 2 7の電位V 2 2, V 2 7および出力電位V Oの遷移時間が実際よりも長く示されている。時刻t 1において、入力電位V Iが「L」レベルV Lから「H」レベルV Hに立上げられると、電位V 2 2, V 2 7, V Oの各々が徐々に上昇する。上述のとおり、電位V 2 2, V 2 7, V Oの各々は、電位変化の周期は比較的速く立上がるが、最終レベルに近づくにつれて上昇速度が遅くなる。

時刻t 1から所定時間経過後の時刻t 2において、昇圧信号 ϕ Bが「H」レベルに立上げられるとともに信号 $\neg \phi$ Bが「L」レベルに立下げられる。信号 ϕ Bが「H」レベルに立上げられると、キャパシタ7 6を介して容量結合により、ノードN 2 2の電位V 2 2が所定電圧 ΔV 1だけ上昇する。信号 $\neg \phi$ Bが「L」レベルに立下げられると、キャパシタ7 7を介して容量結合により、ノードN 2 7の電位V 2 7が所定電位 ΔV 2だけ低下する。このとき、出力ノードN 3 0に「H」レベルV Hを出力する動作を行っており、N型トランジスタ3 1の導通抵抗値の方がP型トランジスタ3 5の導通抵抗値よりも低くなっているため、V 2 2によるレベル上昇作用の方がV 2 7によるレベル降下作用よりも強く働き、出力電位V Oは時刻t 2から急速に上昇する（V 2 2を昇圧しない場合は破線で示すようになる）。

昇圧された電位 V_{22} は、ノード N_{22} からトランジスタ 23 、 24 を介して接地電位 GND のラインに電流が流出することにより、 $V_{I+} + |V_{TP}| + V_{TN}$ まで低下する。また降圧された電位 V_{27} は、第 4 電源電位 V_4 のラインからトランジスタ 26 、 27 を介してノード N_{27} に電流が流入することにより、 $V_{I-} - |V_{TP}| - V_{TN}$ まで上昇する。

時刻 t_3 において、昇圧信号 ϕ_B が「L」レベルに立下げられるとともに信号 ϕ_B が「H」レベルに立上げられる。信号 ϕ_B が「L」レベルに立下げられると、キャパシタ 76 を介して容量結合により、ノード N_{22} の電位 V_{22} が所定電圧 ΔV_1 だけ低下する。また信号 ϕ_B が「H」レベルに立上げられると、キャパシタ 77 を介して容量結合により、ノード N_{27} の電位 V_{27} が所定電圧 ΔV_2 だけ上昇する。 V_{22} が ΔV_1 だけ低下してもプルアップ回路 30 には出力電位 V_O を低下させる能力がなく、 V_{27} が ΔV_2 だけ上昇してもプルダウン回路 33 には出力電位 V_O を上昇させる能力がないので、出力電位 V_O は変化しない。

降圧された電位 V_{22} は、第 3 電源電位 V_3 のラインから P 型トランジスタ 65 を介してノード N_{22} に電流が流入することにより、 $V_{I+} + |V_{TP}| + V_{TN}$ まで上昇する。ただし、低消費電力化のため P 型トランジスタ 65 の電流駆動能力が小さく設定されているので、ノード N_{22} の電位 V_{22} が本来のレベル $V_{I+} + |V_{TP}| + V_{TN}$ に上昇するのに必要な時間は、 V_{22} がそのレベル $V_{I+} + |V_{TP}| + V_{TN}$ に低下するのに必要な時間よりも長くなる。

また昇圧された電位 V_{27} は、ノード N_{27} から N 型トランジスタ 70 を介して第 5 電源電位 V_5 のラインに電流が流出することにより、 $V_{I-} - V_{TN} - |V_{TP}|$ まで低下する。ただし、低消費電力化のため N 型トランジスタの電流駆動能力は小さく設定されているので、ノード N_{27} の電位 V_{27} が本来のレベル $V_{I-} - V_{TN} - |V_{TP}|$ に低下するのに必要な時間は、 V_{22} がそのレベル $V_{I-} - V_{TN} - |V_{TP}|$ に上昇するのに必要な時間よりも長くなる。

次に時刻 t_4 において、入力電位 V_I が「H」レベル V_H から「L」レベル V_L に立下げられると、電位 V_{22} 、 V_{27} 、 V_4 の各々が徐々に低下する。電位 V_{22} 、 V_{27} 、 V_4 の各々は、電位変化の初期は比較的速く立下がるが、最終

レベルに近づくにつれて下降速度が遅くなる。

時刻 t_4 から所定時間経過後の時刻 t_5 において、昇圧信号 ϕB が「H」レベルに立上げられるとともに信号 ϕB が「L」レベルに立下げられる。信号 ϕB が「H」レベルに立上げられると、キャパシタ 76 を介して容量結合により、ノード N22 の電位 V_{22} が所定電圧 ΔV_1 だけ上昇する。信号 ϕB が「L」レベルに立下げられると、キャパシタ 77 を介して容量結合により、ノード N27 の電位 V_{27} が所定電位 ΔV_2 だけ低下する。このとき、出力ノード N30 に「L」レベル V_L を出力する動作を行っており、P型トランジスタ 35 の導通抵抗値の方がN型トランジスタ 31 の導通抵抗値よりも低くなっているので、 V_{27} によるレベル下降作用の方が V_{22} によるレベル上昇作用よりも強く働き、出力電位 V_O は時刻 t_5 から急速に低下する（ V_{27} を降圧しない場合は破線で示すようになる）。

昇圧された電位 V_{22} は、ノード N22 からトランジスタ 23, 24 を介して接地電位 GND のラインに電流が流出することにより、 $V_{I+} - |V_{TP}| - V_{TN}$ まで低下する。また降圧された電位 V_{27} は、第4電源電位 V_4 のラインからトランジスタ 26, 27 を介してノード N27 に電流が流入することにより、 $V_{I-} - |V_{TP}| - V_{TN}$ まで上昇する。

時刻 t_6 において、昇圧信号 ϕB が「L」レベルに立下げられるとともに信号 ϕB が「H」レベルに立上げられる。信号 ϕB が「L」レベルに立下げられると、キャパシタ 76 を介して容量結合により、ノード N22 の電位 V_{22} が所定電圧 ΔV_1 だけ低下する。また信号 ϕB が「H」レベルに立上げられると、キャパシタ 77 を介して容量結合により、ノード N27 の電位 V_{27} が所定電圧 ΔV_2 だけ上昇する。 ΔV_1 が低下してもプルアップ回路 30 には出力電位 V_O を低下させる能力がなく、 ΔV_2 が上昇してもプルダウン回路 33 には出力電位 V_O を上昇させる能力がないので、出力電位 V_O は変化しない。

降圧された電位 V_{22} は、第3電源電位 V_3 のラインからP型トランジスタ 65 を介してノード N22 に電流が流入することにより、 $V_{I+} - |V_{TP}| - V_{TN}$ まで上昇する。ただし、低消費電力化のためP型トランジスタ 65 の電流駆動能力は小さく設定されているので、ノード N22 の電位 V_{22} が本来のレベル V

$V_I + |V_{TP}| + V_{TN}$ に上昇するのに必要な時間は、 V_{22} がそのレベル $V_I + |V_{TP}| + V_{TN}$ に低下するのに必要な時間よりも長くなる。

また昇圧された電位 V_{27} は、ノード N_{27} からN型トランジスタ70を介して第5電源電位 V_O のラインに電流が流出することにより、 $V_I - V_{TN} - |V_{TP}|$ まで低下する。ただし、低消費電力化のためN型トランジスタ70の電流駆動能力は小さく設定されているので、ノード N_{27} の電位 V_{27} が本来のレベル $V_I - V_{TN} - |V_{TP}|$ に低下するのに必要な時間は、 V_{22} がそのレベル $V_I - V_{TN} - |V_{TP}|$ に上昇するのに必要な時間よりも長くなる。

この実施の形態3では、入力電位 V_I が「L」レベル V_L から「H」レベル V_H に立上げられたことに応じてノード N_{22} の電位 V_{22} を本来到達すべき電位 $V_I + |V_{TP}| + V_{TN}$ よりも高い電位に昇圧するので、出力電位 V_O の上昇速度を速くすることができる。また、入力電位 V_I が「H」レベル V_H から「L」レベル V_L に立下げられたことに応じてノード N_{27} の電位 V_{27} も本来到達すべき電位 $V_I - |V_{TP}| - V_{TN}$ よりも低い電位に降圧するので、出力電位 V_O の下降速度を速くすることができる。したがって、駆動回路75の応答速度の高速化を図ることができる。

図19は、この実施の形態3の変更例による駆動回路78の構成を示す回路図である。この駆動回路78は、図17の駆動回路75のトランジスタ23, 27, 32, 34を除去したものである。この変更例では、トランジスタ23, 27, 32, 34を除去したので、出力電位 V_O は $V_O = V_I + |V_{TP}| - V_{TN}$ になるが、回路の占有面積が小さくてすむ。

[実施の形態4]

図20は、この発明の実施の形態4によるサンプルホールド回路の駆動回路80の構成を示す回路図である。図20を参照して、この駆動回路80は、図14の駆動回路71にP型トランジスタ81およびN型トランジスタ82を追加したものである。P型トランジスタ81は、第3電源電位 V_3 のラインとノード N_{22} との間に接続され、そのゲートはプルアップ信号 ϕ_P を受ける。N型トランジスタ82は、ノード N_{27} と第5電源電位 V_5 のラインとの間に接続され、そのゲートはプルアップ信号 ϕ_P の相補信号 $\phi_{\bar{P}}$ を受ける。

信号 ϕP , $\neg\phi P$ は、実施の形態3で示した信号 ϕB , $\neg\phi B$ と同様のタイミングでレベル変化される。すなわち、入力信号 V_I が「L」レベル V_L から「H」レベル V_H に立上げられてから所定時間経過後に、信号 $\neg\phi P$, ϕP がそれぞれパルスの的に「L」レベルおよび「H」レベルにされて、P型トランジスタ81およびN型トランジスタ82がパルスの的に導通する。これにより、ノードN22の電位 V_{22} は、第3電源電位 V_3 をトランジスタ81とトランジスタ23, 24とで分圧した電位に昇圧された後、所定値 $V_I + |V_{TP}| + V_{TN}$ になる。また、ノードN27の電位 V_{27} は、第4電源電位 V_4 と第5電源電位 V_5 の間の電圧 $V_4 - V_5$ をトランジスタ26, 27とトランジスタ82とで分圧した電位に降圧された後、所定値 $V_I - V_{TN} - |V_{TP}|$ になる。このとき、実施の形態3でも述べたように、N型トランジスタ31による充電作用の方がP型トランジスタ35による放電作用よりも強く働き、出力電位 V_O は急速に入力電位 V_I に等しくなる。入力電位 V_I が「H」レベル V_H から「L」レベル V_L に立下げられた場合は、P型トランジスタ35による放電作用の方がN型トランジスタ31による充電作用よりも強く働き、出力電位 V_O は急速に入力電位 V_I に等しくなる。

この実施の形態4でも、実施の形態3と同じ効果が得られる。

以下、この実施の形態4の種々の変更例について説明する。図21の駆動回路83は、図20の駆動回路80からN型トランジスタ23, 34およびP型トランジスタ27, 32を除去したものである。この変更例では、トランジスタ23, 27, 32, 34を除去したので、出力電位 V_O は $V_O = V_I + |V_{TP}| - V_{TN}$ になるが、回路の占有面積が小さくてすむ。

図22の駆動回路85は、図20の駆動回路80にN型トランジスタ86およびP型トランジスタ87を追加したものである。N型トランジスタ86は、P型トランジスタ24のソースと接地電位GNDのラインとの間に接続され、そのゲートはプルアップ信号 $\neg\phi P$ を受ける。P型トランジスタ87は、第4電源電位 V_4 のラインとN型トランジスタ26のドレインとの間に接続され、そのゲートはプルアップ信号 $\neg\phi P$ の相補信号 ϕP を受ける。この変更例では、P型トランジスタ81の導通時にN型トランジスタ86が非導通になるので、第3電源電位

V3のラインからトランジスタ81, 23, 24, 86を介して接地電位GNDのラインに貫通電流が流れるのを防止することができる。また、N型トランジスタ82の導通時にP型トランジスタ87が非導通になるので、第4電源電位V4のラインからトランジスタ87, 26, 27, 82を介して第5電源電位V5の
5 ラインに貫通電流が流れるのを防止することができる。したがって、回路61, 63の消費電流が小さくてすむ。

図23の駆動回路88は、図22の駆動回路85からN型トランジスタ23, 34およびP型トランジスタ27, 32を除去したものである。この変更例では、トランジスタ23, 27, 32, 34を除去したので、出力電位VOが $V_O = V_I + |V_{TP}| - V_{TN}$ になるが、回路の占有面積が小さくてすむ。
10

図24の駆動回路90は、図20の駆動回路80のP型トランジスタ24のソースに接地電位GNDの代わりに信号 ϕ_P を与えるとともにN型トランジスタのドレインに第4電源電位VOの代わりに信号 ϕ_P を与えたものである。この変更例では、P型トランジスタ81の導通時にP型トランジスタ24のドレインを
15 「H」レベルにするので、トランジスタ81, 23, 24に貫通電流が流れるのを防止することができる。また、N型トランジスタ82の導通時にN型トランジスタ26のドレインを「L」レベルにするので、トランジスタ26, 27, 82に貫通電流が流れるのを防止することができる。したがって、回路61, 63の消費電流の低減化を図ることができる。

図25の駆動回路91は、図24の駆動回路90からN型トランジスタ23, 34およびP型トランジスタ27, 32を除去したものである。この変更例では、トランジスタ23, 27, 32, 34を除去したので、出力電位VOは $V_O = V_I + |V_{TP}| - V_{TN}$ になるが、回路の占有面積が小さくてすむ。
20

[実施の形態5]

図26は、この発明の実施の形態5によるサンプルホールド回路の駆動回路95の構成を示す回路図である。図26を参照して、この駆動回路95が図17の駆動回路75と異なる点は、レベルシフト回路61, 63がそれぞれレベルシフト回路96, 102で置換されている点である。
25

レベルシフト回路96は、レベルシフト回路61にP型トランジスタ97, 9

8およびN型トランジスタ99～101を追加したものである。P型トランジスタ97は、N型トランジスタ99、100およびP型トランジスタ98は第3電源電位V3のラインと接地電位GNDのラインとの間に直列接続され、N型トランジスタ101は第3電源電位V3のラインとノードN22との間に接続される。

5 P型トランジスタ97のゲートは、P型トランジスタ66のゲートに接続される。したがって、トランジスタ97、99、100、98には、P型トランジスタ66に流れる定電流の値に応じた値の定電流が流れる。N型トランジスタ99、100のゲートは、それぞれそれらのドレインに接続される。N型トランジスタ99、100の各々はダイオードを構成する。P型トランジスタ98のゲートは、

10 入力電位VIを受ける。トランジスタ97、99の間のノードの電位V99は、 $V99 = VI + |VTP| + 2VTN$ となる。V99は、N型トランジスタ101のゲートに与えられる。N型トランジスタ101は、ノードN22を $V99 - VTN = VI + |VTP| + VTN$ に充電する。

レベルシフト回路102は、レベルシフト回路63にN型トランジスタ103、

15 104およびP型トランジスタ105～107を追加したものである。N型トランジスタ103、P型トランジスタ105、106およびN型トランジスタ104は、第4電源電位V4のラインと第5電源電位V5のラインとの間に直列接続され、P型トランジスタ107はノードN27と第5電源電位V5のラインとの間に接続される。N型トランジスタ103のゲートは、入力電位VIを受ける。

20 P型トランジスタ105、106のゲートは、それぞれそれらのドレインに接続される。P型トランジスタ105、106の各々は、ダイオードを構成する。N型トランジスタ104のゲートは、N型トランジスタ69のゲートに接続される。N型トランジスタ104には、N型トランジスタ69に流れる定電流の値に応じた値の定電流が流れる。MOSトランジスタ106と104の間のノードの電位

25 V106は、 $V106 = VI - VTN - 2|VTP|$ となる。V106は、P型トランジスタ107のゲートに与えられる。P型トランジスタ107は、ノードN27を $V106 - |VTP| = VI - VTN - |VTP|$ に放電する。他の構成および動作は、図17の駆動回路75と同じであるので、その説明は繰返さない。

図 27 は、図 26 に示した駆動回路 95 の動作を示すタイムチャートであって、図 18 と対比される図である。図 27 を参照して、この駆動回路 95 では、トランジスタ 97 ~ 101 によってノード N22 を $V_I + |V_{TP}| + V_{TN}$ に充電するので、ノード N22 の電位 V_{22} が所定値 $V_I + |V_{TP}| + V_{TN}$ よりも低下したとき（時刻 t_3 , t_6 ）、ノード N22 の電位 V_{22} を急速に所定値 $V_I + |V_{TP}| + V_{TN}$ に戻すことができる。また、トランジスタ 103 ~ 107 によってノード N27 を $V_I - V_{TN} - |V_{TP}|$ に放電するので、ノード N27 の電位 V_{27} が所定値 $V_I - V_{TN} - |V_{TP}|$ よりも上昇したとき（時刻 t_3 , t_6 ）、ノード N27 の電位 V_{27} を急速に所定値 $V_I - V_{TN} - |V_{TP}|$ に戻すことができる。したがって、回路の応答速度の高速化を図ることができる。

図 28 は、この実施の形態 5 の変更例を示す回路図である。この駆動回路 108 は、図 26 の駆動回路 95 から N 型トランジスタ 23, 34, 100 および P 型トランジスタ 27, 32, 105 を除去したものである。この変更例では、トランジスタ 23, 27, 32, 34, 100, 105 を除去したので、出力電位 V_O は $V_O = V_I + |V_{TP}| - V_{TN}$ になるが、回路の占有面積が小さくてすむ。

〔実施の形態 6〕

図 29 は、この発明の実施の形態 6 によるサンプルホールド回路の駆動回路 110 の構成を示す回路図である。図 29 において、この駆動回路 110 が図 26 の駆動回路 95 と異なる点は、レベルシフト回路 96, 102 がレベルシフト回路 111, 112 で置換されている点である。

レベルシフト回路 111 は、レベルシフト回路 96 から P 型トランジスタ 97, 98 および N 型トランジスタ 100 を除去し、N 型トランジスタ 99 を P 型トランジスタ 65 のソースとノード N22 との間に接続したものである。N 型トランジスタ 99 のゲートは、N 型トランジスタ 99 のドレインおよび N 型トランジスタ 101 のゲートに接続される。N 型トランジスタ 99, 101 のゲートの電位 V_{99} は、 $V_{99} = V_I + |V_{TP}| + 2V_{TN}$ となる。N 型トランジスタ 101 は、ノード N22 を $V_{99} - V_{TN} = V_O + |V_{TP}| + V_{TN}$ に充電する。

レベルシフト回路112は、レベルシフト回路102からN型トランジスタ103、104およびP型トランジスタ105を除去し、P型トランジスタ106をノードN27とN型トランジスタ70のドレインとの間に接続したものである。P型トランジスタ106のゲートは、そのドレインおよびP型トランジスタ107のゲートに接続される。P型トランジスタ106、107のゲートの電位V106は、 $V_{106} = V_I - V_{TN} - 2|V_{TP}|$ となる。P型トランジスタ107は、ノードN27を $V_{106} + |V_{TP}| = V_I - V_{TN} - |V_{TP}|$ に放電する。他の構成および動作は、図26の駆動回路95と同じであるので、その説明は繰返さない。

- 10 この実施の形態6では、実施の形態5と同じ効果が得られる他、第3電源電位V3のラインからトランジスタ97、99、100、98を介して接地電位GNDのラインに流れる電流、および第4の電源電位VOのラインからトランジスタ103、105、106、104を介して第5電源電位V5のラインに流れる電流を削減できるので、消費電流が小さくてすむ。また、トランジスタ97、98、100、103～105を除去したので、回路の占有面積が小さくてすむ。

- 15 図30は、この実施の形態6の変更例を示す回路図である。この駆動回路113は、図29の駆動回路110からN型トランジスタ23、34およびP型トランジスタ27、32を除去したものである。この変更例では、トランジスタ23、27、32、34を除去したので、出力電位VOは $V_O = V_I + |V_{TP}| - V_{TN}$ になるが、回路の占有面積が小さくてすむ。

[実施の形態7]

図31は、この発明の実施の形態7による半導体集積回路装置の要部を示す回路ブロック図である。図31において、この半導体集積回路装置は、j個（ただし、jは2以上の整数である）の駆動回路115.1～115.jを備える。

- 25 駆動回路115.1は、図32に示すように、図13の駆動回路60のレベルシフト回路61、63をそれぞれレベルシフト回路116、117で置換したものである。レベルシフト回路116はレベルシフト回路61からP型トランジスタ66および抵抗素子67を除去したものであり、レベルシフト回路117はレベルシフト回路63から抵抗素子68およびN型トランジスタ69を除去したも

のである。トランジスタ 65, 70 のゲートは、それぞれバイアス電位 VBP, VBN を受ける。他の駆動回路 115. 2 ~ 115. j の各々も駆動回路 115. 1 と同じ構成である。

図 31 に戻って、この半導体集積回路装置では、バイアス電位 VBP を生成するための P 型トランジスタ 66 および抵抗素子 67 とバイアス電位 VBN を生成するための抵抗素子 68 および N 型トランジスタ 69 とが駆動回路 115. 1 ~ 115. j に共通に設けられる。

P 型トランジスタ 66 および抵抗素子 67 は第 3 電源電位 V3 のラインと接地電位 GND のラインとの間に直列接続され、P 型トランジスタ 66 のゲートはそのドレイン (ノード N66) に接続される。ノード N66 には、バイアス電位 VBP が現れる。ノード N66 と接地電位 GND のラインとの間には、バイアス電位 VBP を安定化させるためのキャパシタ 118 が接続される。駆動回路 115. 1 ~ 115. j の各々の P 型トランジスタ 65 には、P 型トランジスタ 66 に流れる定電流に応じた値の定電流が流れる。

抵抗素子 68 および N 型トランジスタ 69 は第 4 電源電位 V4 のラインと第 5 電源電位 V5 のラインとの間に接続され、N 型トランジスタ 69 のゲートはそのドレイン (ノード N68) に接続される。ノード N68 には、バイアス電位 VBN が現れる。ノード N68 と接地電位 GND のラインとの間には、バイアス電位 VBN を安定化させるためのキャパシタ 119 が接続される。駆動電位 115. 1 ~ 115. j の各々の N 型トランジスタ 70 は、N 型トランジスタ 69 に流れる定電流に応じた値の定電流が流れる。

この実施の形態 7 では、実施の形態 2 と同じ効果が得られる他、バイアス電位 VBP, VBN を生成するための回路を駆動回路 115. 1 ~ 115. j に共通に設けたので、駆動回路 115. 1 ~ 115. j 1 つ当りの占有面積が小さくてすむ。

[実施の形態 8]

図 33 は、この発明の実施の形態 8 によるサンプルホールド回路のオフセット補償機能付駆動回路 120 の構成を示す回路ブロック図である。図 33 において、このオフセット補償機能付駆動回路 120 は、駆動回路 121、キャパシタ 12

2 およびスイッチS1～S4を含む。駆動回路121は、実施の形態1～11で示した駆動回路のうちのいずれかの駆動回路である。キャパシタ122およびスイッチS1～S4は、駆動回路121のトランジスタのしきい値電圧のばらつきなどにより駆動回路121の入力電位と出力電位の間に電位差すなわちオフセット電圧VOFが生じた場合に、このオフセット電圧VOFを補償するためのオフセット補償回路を構成する。

すなわち、スイッチS1は入力ノードN120と駆動回路121の入力ノードN20との間に接続され、スイッチS4は出力ノードN121と駆動回路121の出力ノードN30との間に接続される。キャパシタ122およびスイッチS2は、駆動回路121の入力ノードN20と出力ノードN30との間に直列接続される。スイッチS3は、入力ノードN120とキャパシタ122およびスイッチS2間のノードN122との間に接続される。スイッチS1～S4の各々は、P型トランジスタでもよいし、N型トランジスタでもよいし、P型トランジスタおよびN型トランジスタを並列接続したものでもよい。スイッチS1～S4の各々は、制御信号（図示せず）によってオン／オフ制御される。

今、駆動回路121の出力電位が入力電位よりもオフセット電圧VOFだけ低い場合について説明する。図34に示すように、初期状態では、すべてのスイッチS1～S4はオフ状態にされている。ある時刻t1においてスイッチS1、S2がオン状態にされると、駆動回路121の入力ノードN20の電位V20は $V20 = V_I$ になり、駆動回路121の出力電位V30およびノードN122の電位V122は $V30 = V122 = V_I - V_{OF}$ となり、キャパシタ122はオフセット電圧VOFに充電される。

次に時刻t2においてスイッチS1、S2がオフ状態にされると、オフセット電圧VOFはキャパシタ122に保持される。次いで時刻t3においてスイッチS3がオン状態にされると、ノードN122の電位V122は $V122 = V_I$ になり、駆動回路121の入力電位V20は $V20 = V_I + V_{OF}$ となる。この結果、駆動回路121の出力電位V30は $V30 = V20 - V_{OF} = V_I$ となり、駆動回路121のオフセット電圧VOFは打消されたことになる。次に時刻t4においてスイッチS4がオン状態にされると、出力電位VOが $VO = V_I$ となり

負荷に供給される。

この実施の形態 8 では、駆動回路 121 のオフセット電圧 V_{OF} を打消すことができ、出力電位 V_O と入力電位 V_I を一致させることができる。

5 なお、スイッチ S_4 は必ずしも必要でない。ただし、スイッチ S_4 を設けないと、負荷容量 36 の容量値が大きい場合は時刻 t_1 においてスイッチ S_1 , S_2 をオン状態にしてからキャパシタ 122 の端子間電圧 V_{OF} が安定するまでの時間が長くなる。

〔実施の形態 9〕

10 図 35 は、この発明の実施の形態 9 によるサンプルホールド回路のオフセット補償機能付駆動回路 125 の構成を示す回路ブロック図である。図 35 において、このオフセット補償機能付駆動回路 125 は、図 12 の駆動回路 60 にキャパシタ 122a, 122b, 126a, 126b およびスイッチ $S_{1a} \sim S_{4a}$, $S_{1b} \sim S_{4b}$ を追加したものである。

15 スイッチ S_{1a} , S_{1b} は、それぞれ入力ノード N_{120} とトランジスタ 24, 26 のゲート（ノード N_{20a} , N_{20b} ）との間に接続される。スイッチ S_{4a} , S_{4b} は、それぞれ出力ノード N_{121} とトランジスタ 32, 34 のドレイン（ノード N_{30a} , N_{30b} ）との間に接続される。キャパシタ 122a およびスイッチ S_{2a} は、ノード N_{20a} と N_{30a} の間に直列接続される。キャパシタ 122b およびスイッチ S_{2b} は、ノード N_{20b} と N_{30b} の間に直列接続される。スイッチ S_{3a} は、入力ノード N_{120} とキャパシタ 122a および
20 スイッチ S_{2a} 間のノード N_{122a} との間に接続される。スイッチ S_{3b} は、入力ノード N_{120} とキャパシタ 122b およびスイッチ S_{2b} 間のノード N_{122b} との間に接続される。キャパシタ 126a, 126b の一方電極はそれぞれノード N_{30a} , N_{30b} に接続され、それらの他方電極はそれぞれリセット信号 ϕ_R およびその相補信号 $\phi_{\bar{R}}$ を受ける。
25 号 ϕ_R およびその相補信号 $\phi_{\bar{R}}$ を受ける。

図 36 は、図 35 に示したオフセット補償機能付駆動回路 125 の動作を示すタイムチャートである。定電流源 62 およびトランジスタ 23, 24, 31, 32 からなる充電回路と、定電流源 64 およびトランジスタ 26, 27, 34, 35 からなる放電回路とは、充電と放電の違いはあるが同様の動作をするので、図

36では充電回路の動作のみについて説明する。今、N型トランジスタ31のしきい値電圧 V_{TN} がN型トランジスタのしきい値電圧 V_{TN} よりも V_{OFa} だけ大きいために充電回路側にオフセット電圧 V_{OFa} があり、放電回路側にオフセット電圧 V_{OFb} はないものとする。

5 初期状態では、スイッチ $S_{1a} \sim S_{3a}$ がオフ状態にされるとともにスイッチ S_{4a} がオン状態にされ、ノード N_{20a} , N_{122a} , N_{30a} , N_{121} には前回の電位 $V_{I'}$ が保持されている。時刻 t_1 においてスイッチ S_{1a} , S_{2a} がオン状態にされると、ノード N_{20a} , N_{122a} , N_{30a} , N_{121} の電位 V_{20a} , V_{122a} , V_{30a} , V_O はともに入力電位 V_I に等しい電位
10 になる。また、ノード N_{22} の電位 V_{22} は、 $V_{22} = V_I + |V_{TP}| + V_{TN}$ となる。N型トランジスタ31のしきい値電圧 $V_{TN'}$ がN型トランジスタ23のしきい値電圧 V_{TN} よりも V_{OFa} だけ高いにもかかわらず V_{20a} , V_{122a} , V_{30a} , V_O がともに V_I に等しい電位になるのは、出力ノード N_{121} は放電回路によって入力電位 V_I まで放電されるが、それ以下には放電され
15 ないからである。

次に、時刻 t_2 においてスイッチ S_{4a} がオフ状態にされて、充電回路の出力ノード N_{30a} と放電回路の出力ノード N_{30b} とが電氣的に切離される。次いで時刻 t_3 においてリセット信号 ϕ_R が「H」レベルから「L」レベルに立下げられると、キャパシタ126aを介して容量結合により、ノード N_{30a} , N_{122a} の電位 V_{30a} , V_{122a} が所定電圧だけ降圧される。これにより、
20 トランジスタ31, 32が導通してノード N_{30a} , N_{122a} の電位 V_{30a} , V_{122a} が $V_I - V_{OFa}$ まで上昇し、キャパシタ122aが V_{OFa} に充電される。

ノード N_{30a} , N_{122a} の電位 V_{30a} , V_{122a} が安定した後、時刻
25 t_4 においてスイッチ S_{1a} , S_{2a} がオフ状態にされ、さらに時刻 t_5 においてスイッチ S_{3a} がオン状態にされると、入力電位 V_I にオフセット電圧 V_{OFa} を加算した電位 $V_I + V_{OFa}$ がノード N_{20a} に与えられる。これにより、ノード N_{22} の電位 V_{22} は $V_{22} = V_I + |V_{TP}| + V_{TN} + V_{OFa}$ となり、ノード N_{30a} , N_{122a} の電位 V_{30a} , V_{122a} は入力電位 V_I と

同じレベルになる。

充電回路の出力電位 V_{30a} は時刻 t_1 から $V_{30a} = V_I$ になるが、時刻 $t_1 \sim t_2$ の期間は配線容量などによって保持された電位にすぎず、負極性のノイズがあった場合は V_{30a} は $V_I - V_{OF}$ まで低下してしまう。これに対して時刻 t_5 以降は、負極性のノイズがあってもトランジスタ 31, 32 によって充電されるので、 V_{30a} は V_I に維持される。

次に時刻 t_6 においてスイッチ S_{3a} がオフ状態にされ、さらに時刻 t_7 においてスイッチ S_{4a} がオン状態にされると、負荷容量 36 が駆動回路によって駆動される。時刻 t_8 においてリセット信号 ϕ_R が「H」レベルに立上げられると、初期状態に戻る。この時刻 t_8 では、出力インピーダンスが十分に低くなっているため、リセット信号 ϕ_R が「H」レベルに立上げられても出力電位 V_O はほとんど変化しない。放電回路側でも同様の動作が行なわれ、出力電位 V_O は V_I に維持される。

図 37 は、図 35 に示したオフセット補償機能付駆動回路 125 の動作を示す他のタイムチャートである。定電流源 62 およびトランジスタ 23, 24, 31, 32 からなる充電回路と、定電流源 64 およびトランジスタ 26, 27, 34, 35 からなる放電回路とは、充電と放電の違いはあるが同様の動作をするので、図 37 では放電回路の動作のみについて説明する。今、P 型トランジスタ 35 のしきい値電圧の絶対値 $|V_{TP'}|$ が P 型トランジスタ 27 のしきい値電圧の絶対値 $|V_{TP}|$ よりも V_{OFb} だけ大きいため放電回路側にオフセット電圧 V_{OFb} があり、充電回路側にはオフセット電圧 V_{OFa} はないものとする。

初期状態では、スイッチ $S_{1b} \sim S_{3b}$ がオフ状態にされるとともにスイッチ S_{4b} がオン状態にされ、ノード N_{20b} , N_{122b} , N_{30b} , N_{121} には前回の電位 $V_{I'}$ が保持されている。時刻 t_1 においてスイッチ S_{1b} , S_{2b} がオン状態にされると、ノード N_{20b} , N_{122b} , N_{30b} , N_{121} の電位 V_{20b} , V_{122b} , V_{30b} , V_O はともに入力電位 V_I に等しい電位になる。また、ノード N_{27} の電位 V_{27} は、 $V_{27} = V_I - |V_{TP}| - V_{TN}$ となる。P 型トランジスタ 35 のしきい値電圧の絶対値 $|V_{TP'}|$ が N 型トランジスタ 27 のしきい値電圧の絶対値 $|V_{TP}|$ よりも V_{OFb} だけ高いにも

かかわらず V_{20b} , V_{122b} , V_{30b} , V_O はともに V_I に等しい電位になるのは、出力ノード N_{121} が充電回路によって入力電位 V_I まで充電されるが、それ以上には充電されないからである。

次に、時刻 t_2 においてスイッチ S_{4b} がオフ状態にされて、充電回路の出力ノード N_{30a} と放電回路の出力ノード N_{30b} とが電氣的に切離される。次いで時刻 t_3 において信号 ϕ_R が「L」レベルから「H」レベルに立上げられると、キャパシタ $126b$ を介して容量結合により、ノード N_{30b} , N_{122b} の電位 V_{30b} , V_{122b} が所定電圧だけ昇圧される。これにより、トランジスタ 34 , 35 が導通してノード N_{30b} , N_{122b} の電位 V_{30b} , V_{122b} が $V_I + V_{OFb}$ まで低下し、キャパシタ $122b$ が V_{OFb} に充電される。

ノード N_{30b} , N_{122b} の電位 V_{30b} , V_{122b} が安定した後、時刻 t_4 においてスイッチ S_{1b} , S_{2b} がオフ状態にされ、さらに時刻 t_5 においてスイッチ S_{3b} がオン状態にされると、入力電位 V_I からオフセット電圧 V_{OFb} を減算した電位 $V_I - V_{OFb}$ がノード N_{20b} に与えられる。これにより、ノード N_{27} の電位 V_{27} が $V_{27} = V_I - V_{TN} - |V_{TP}| - V_{OFb}$ となり、ノード N_{30b} , N_{122b} の電位 V_{30b} , V_{122b} は入力電位 V_I と同レベルになる。

放電回路の出力電位 V_{30b} は時刻 t_1 から $V_{30b} = V_I$ になるが、時刻 $t_1 \sim t_2$ の期間は配線容量などによって保持された電位にすぎず、正極性のノイズがあった場合は V_{30b} は $V_I + V_{OFb}$ まで上昇してしまう。これに対して時刻 t_5 以降は、正極性のノイズがあってもトランジスタ 34 , 35 によって放電されるので、 V_{30b} は V_I に維持される。

次に時刻 t_6 においてスイッチ S_{3b} がオフ状態にされ、さらに時刻 t_7 においてスイッチ S_{4b} がオン状態にされると、負荷容量 36 が駆動回路によって駆動される。時刻 t_8 において信号 ϕ_R が「L」レベルに立下げられると、初期状態に戻る。この時刻 t_8 では、出力インピーダンスが低くなっているため、信号 ϕ_R が「L」レベルに立上げられても出力電位 V はほとんど変化しない。放電回路側でも同様の動作が行なわれ、出力電位 V_O は V_I に維持される。

以下、この実施の形態 9 の種々の変更例について説明する。図 38 のオフセッ

ト補償機能付駆動回路 1 2 7 は、図 3 5 のオフセット補償機能付駆動回路 1 2 5 から N 型トランジスタ 2 3, 3 4 および P 型トランジスタ 2 7, 3 2 を除去したものである。この変更例では、回路の占有面積が小さくてすむ。

図 3 9 のオフセット補償機能付駆動回路 1 3 0 は、図 3 5 のオフセット補償機能付駆動回路 1 2 5 のキャパシタ 1 2 6 a, 1 2 6 b をそれぞれ N 型トランジスタ 1 3 1 a および P 型トランジスタ 1 3 1 b で置換したものである。N 型トランジスタ 1 3 1 a は、第 8 電源電位 V_8 のラインとノード N 3 0 a との間に接続され、そのゲートはリセット信号 $\phi R'$ を受ける。P 型トランジスタ 1 3 1 b は、ノード N 3 0 b と第 9 電源電位 V_9 のラインとの間に接続され、そのゲートはリセット信号 $\phi R'$ の相補信号 $\neg \phi R'$ を受ける。

通常時は信号 $\phi R'$, $\neg \phi R'$ がそれぞれ「L」レベルおよび「H」レベルにされており、N 型トランジスタ 1 3 1 a および P 型トランジスタ 1 3 1 b はともに非導通にされている。図 3 6 および図 3 7 の時刻 t_3 において、信号 $\phi R'$ が所定時間だけパルスの的に「H」レベルにされるとともに信号 $\neg \phi R'$ が所定時間だけパルスの的に「L」レベルにされる。これにより、N 型トランジスタ 1 3 1 a がパルスの的に導通してノード N 3 0 a の電位 V_{30a} が第 8 電源電位 V_8 に低下されるとともに、P 型トランジスタ 1 3 1 b がパルスの的に導通してノード N 3 0 b の電位 V_{30b} が第 9 電源電位 V_9 に上昇される。この後、図 3 6 で説明した場合にはノード N 3 0 a が $V_I - V_{OF}$ に充電され、図 3 7 で説明した場合にはノード N 3 0 b が $V_O + V_{OF}$ に放電される。この変更例では、図 3 6 および図 3 7 の時刻 t_8 においても、出力電位 V_O にノイズが発生することはない。なお、信号 $\phi R'$, $\neg \phi R'$ のパルス幅は必要最小限の値に設定される。

図 4 0 のオフセット補償機能付駆動回路 1 3 2 は、図 2 0 の駆動回路 8 0 にキャパシタ 1 2 2 a, 1 2 2 b, 1 2 6 a, 1 2 6 b およびスイッチ $S_{1a} \sim S_{4a}$, $S_{1b} \sim S_{4b}$ からなるオフセット補償回路を付加したものである。図 3 6 および図 3 7 の時刻 $t_1 \sim t_2$ の期間において信号 $\neg \phi P$ はパルスの的に「L」レベルにされるとともに信号 ϕP がパルスの的に「H」レベルにされる。この変更例では、ノード N 2 2, N 2 7 の電位 V_{22} , V_{27} が所定値に迅速に到達するので、動作速度の高速化を図ることができる。

図 4 1 のオフセット補償機能付駆動回路 1 3 3 は、図 4 0 のオフセット補償機能付駆動回路 1 3 2 から N 型トランジスタ 2 3, 3 4 および P 型トランジスタ 2 7, 3 2 を除去したものである。この変更例では、回路の占有面積が小さくてすむ。

5 図 4 2 のオフセット補償機能付駆動回路 1 3 5 は、図 2 2 のオフセット補償機能付駆動回路 8 5 にキャパシタ 1 2 2 a, 1 2 2 b, 1 2 6 a, 1 2 6 b およびスイッチ S 1 a ~ S 4 a, S 1 b ~ S 4 b からなるオフセット補償回路を付加したものである。この変更例では、信号 ϕP , ϕP がそれぞれ「L」レベルおよび「H」レベルになってトランジスタ 8 1, 8 2 が導通したときに、同時にトランジスタ 8 6, 8 7 が非導通になるので、貫通電流が流れるのを防止することができ、消費電流が小さくてすむ。

図 4 3 のオフセット補償機能付駆動回路 1 3 6 は、図 4 2 のオフセット補償機能付駆動回路 1 3 5 から N 型トランジスタ 2 3, 3 4 および P 型トランジスタ 2 7, 3 2 を除去したものである。この変更例では、回路の占有面積は小さくてすむ。

15 図 4 4 のオフセット補償機能付駆動回路 1 4 0 は、図 2 4 の駆動回路 9 0 にキャパシタ 1 2 2 a, 1 2 2 b, 1 2 6 a, 1 2 6 b およびスイッチ S 1 ~ S 4 a, S 1 b ~ S 4 b からなるオフセット補償回路を付加したものである。この変更例では、信号 ϕP が「L」レベルにされて P 型トランジスタ 8 1 が導通したときに P 型トランジスタ 2 4 のドレインが「H」レベルにされ、信号 ϕP が「H」レベルにされて N 型トランジスタ 8 2 が導通したときに N 型トランジスタ 2 6 のドレインが「L」レベルにされるので、貫通電流が流れることを防止することができ、消費電力が小さくてすむ。

25 図 4 5 のオフセット補償機能付駆動回路 1 4 1 は、図 4 4 のオフセット補償機能付駆動回路 1 4 0 から N 型トランジスタ 2 3, 3 4 および P 型トランジスタ 2 7, 3 2 を除去したものである。この変更例では、回路の占有面積が小さくてすむ。

図 4 6 のオフセット補償機能付駆動回路 1 4 5 は、図 2 6 のオフセット補償機能付駆動回路 9 5 にキャパシタ 1 2 2 a, 1 2 2 b, 1 2 6 a, 1 2 6 b および

スイッチS 1 a ~ S 4 a, S 1 b ~ S 4 bからなるオフセット補償回路を付加したものである。図3 6および図3 7の時刻t 1 ~ t 2の期間において信号φ Bがパルスの的に「H」レベルにされるとともに信号／φ Bがパルスの的に「L」レベルにされる。この変更例では、ノードN 2 2, N 2 7の電位V 2 2, V 2 7が所定値に迅速に到達するので、動作速度の高速化を図ることができる。

図4 7のオフセット補償機能付駆動回路1 4 6は、図4 6のオフセット補償機能付駆動回路1 4 5からN型トランジスタ2 3, 3 4, 1 0 0およびP型トランジスタ2 7, 3 2, 1 0 5を除去したものである。この変更例では、回路の占有面積が小さくてすむ。

図4 8のオフセット補償機能付駆動回路1 5 0は、図2 9の駆動回路1 1 0にキャパシタ1 2 2 a, 1 2 2 b, 1 2 6 a, 1 2 6 bおよびスイッチS 1 ~ S 4 a, S 1 b ~ S 4 bからなるオフセット補償回路を付加したものである。図3 6および図3 7の時刻t 1 ~ t 2の期間において信号φ Bがパルスの的に「H」レベルにされるとともに信号／φ Bがパルスの的に「L」レベルにされる。この変更例では、ノードN 2 2, N 2 7の電位V 2 2, V 2 7が所定値に迅速に到達するので、動作速度の高速化を図ることができる。

図4 9のオフセット補償機能付駆動回路1 5 1は、図4 8のオフセット補償機能付駆動回路1 5 0からN型トランジスタ2 3, 3 4およびP型トランジスタ2 7, 3 2を除去したものである。この変更例では、回路の占有面積が小さくてすむ。

[実施の形態1 0]

図5 0は、この発明の実施の形態1 0によるサンプルホールド回路のオフセット補償機能付駆動回路1 5 5の構成を示す回路図である。図5 0において、このオフセット補償機能付駆動回路1 5 5が図4 6のオフセット補償機能付駆動回路1 4 5と異なる点は、スイッチS 5およびキャパシタ1 5 6が追加されている点と、昇圧信号φ B, ／φ Bがそれぞれ昇圧信号φ B 1, ／φ B 1で置換されている点である。

スイッチS 5は、スイッチS 4 a, S 4 b間のノードと出力ノードN 1 2 1との間に接続される。キャパシタ1 5 6は、スイッチS 4 a, S 4 b間のノードと

接地電位GNDのラインとの間に接続される。キャパシタ156の容量値は、負荷容量36の容量値よりも小さく設定されている。

図51は、図50に示したオフセット補償機能付駆動回路155の動作を示すタイムチャートであって、図36と対比される図である。ここでも充電回路側の動作のみについて説明する。図51を参照して、時刻 t_9 まではスイッチS5が
5 オフ状態にされており、負荷容量36が電氣的に切離されているので、たとえば時刻 $t_1 \sim t_2$ において電位 V_{22} 、 V_{30a} 、 V_{122a} が迅速に入力電位 V_I に到達する。

時刻 t_9 においてスイッチS5がオン状態にされると、出力ノードN121に
10 接続されたデータ線の電位 V_O に応じてスイッチS4a、S4b間の電位 V_{156} が変化する。図51では、データ線の電位 V_O が V_{156} よりも低かった場合が示されており、時刻 t_9 において電位 V_{156} が低下した後、トランジスタ31、32によって電流が供給されて電位 V_{156} が徐々に上昇する。次いで時刻 t_{10} において信号 ϕB_1 が「L」レベルから「H」レベルに立上げられてノードN22の電位 V_{22} がパルス的に上昇し、N型トランジスタ31を流れる電流
15 が増加して電位 $V_{156} = V_O$ が急速に入力電位 V_I に到達する。

図52は、図50に示したオフセット補償機能付駆動回路155の動作を示す他のタイムチャートであって、図37と対比される図である。ここでも、放電回路側の動作のみについて説明する。図52を参照して、時刻 t_9 まではスイッチ
20 S5がオフ状態にされており、負荷容量36が電氣的に切離されているので、たとえば時刻 $t_1 \sim t_2$ において電位 V_{27} 、 V_{30b} 、 V_{122b} が迅速に入力電位 V_I に到達する。

時刻 t_9 においてスイッチS5がオン状態にされると、出力ノードN121に接続されたデータ線の電位 V_O に応じてスイッチS4a、S4b間の電位 V_{156}
25 が変化する。図52では、データ線の電位 V_O が V_{156} よりも高かった場合が示されており、時刻 t_9 において電位 V_{156} が上昇した後、トランジスタ34、35によって電流が排出されて電位 V_{156} が徐々に低下する。

次いで時刻 t_{10} において信号 ϕB_1 が「H」レベルから「L」レベルに立下げられてノードN27の電位 V_{27} がパルス的に低下し、P型トランジスタ3

5に流れる電流が増加して電位 $V_{156} = V_O$ は急速に入力電位 V_I に到達する。

この実施の形態10では、負荷容量36の容量値が大きい場合でも、速い動作速度を得ることができる。

〔実施の形態11〕

5 図53は、この発明の実施の形態11によるオフセット補償機能付駆動回路157の構成を示す回路図である。図53を参照して、このオフセット補償機能付駆動回路157が図50のオフセット補償機能付駆動回路155と異なる点は、キャパシタ156が除去されている点と、スイッチS5のオン／オフのタイミングおよび信号 $\phi B1$, $\phi B1$ のレベル変化のタイミングである。

10 図54は、図53に示したオフセット補償機能付駆動回路157の動作を示すタイムチャートである。ここでは、N型トランジスタ31のしきい値電圧 $V_{TN'}$ がN型トランジスタ23のしきい値電圧 V_{TN} よりも V_{OF} だけ大きいものとする。初期状態では、スイッチS1a～S3a, S1b～S3bはオフ状態にされるとともにスイッチS4a, S4b, S5がオン状態にされ、ノードN30a, N30b, N20aの電位 V_{30a} , V_{30b} , V_{20a} はともに前回の入力電位（図では V_H ）になっている。

時刻 t_1 においてスイッチS5がオフ状態にされてスイッチS30a, S30bの間のノードと負荷容量36とが電氣的に切離される。時刻 t_2 においてスイッチS1a, S1b, S2a, S2bがオン状態にされるとともに、入力電位 V_I が今回の電位（図では V_L ）に設定される。このように、ノードN30a, N30b, N20bの電位 V_{30a} , V_{30b} , V_{20b} はともに $V_I = V_L$ になる。N型トランジスタ31のしきい値電圧 $V_{TN'}$ が他のN型トランジスタのしきい値電圧 V_{TN} よりも V_{OF} だけ高いにもかかわらず V_{30a} , V_{30b} が $V_I = V_L$ になるのは、放電回路がノードN30a, N30bを $V_I = V_L$ まで放電するが、それ以下には放電しないからである。

25 時刻 t_3 においてスイッチS4a, S4bがオフ状態にされて、充電回路と放電回路は電氣的に切離される。時刻 t_4 においてリセット信号 ϕR が「H」レベルから「L」レベルに立下げられるとともに信号 ϕR が「L」レベルから「H」レベルに立上げられる。これにより、ノードN30aの電位 V_{30a} が V

Lからパルス的に降圧された後 $V_L - V_{OF}$ になるとともに、ノードN30bの電位 V_{30b} が V_L からパルス的に昇圧された後 V_L になる。

時刻 t_5 においてスイッチ S_{1a} , S_{1b} , S_{2a} , S_{2b} がオフ状態にされ、次いで時刻 t_6 においてスイッチ S_{3a} , S_{3b} がオン状態にされると、ノードN20aの電位 V_{20a} が $V_L + V_{OF}$ になり、オフセット電圧 V_{OF} が打消されてノードN30aの電位 V_{30a} は $V_I = V_L$ になる。

時刻 t_7 においてスイッチ S_{3a} , S_{3b} がオフ状態にされ、次いで時刻 t_8 においてスイッチ S_{4a} , S_{4b} , S_5 がオン状態にされると、負荷容量36が前回の電位である V_H に充電されているので、ノードN30a, N30bの電位 V_{30a} , V_{30b} は一旦上昇した後、徐々に低下する。時刻 t_9 において、信号 ϕB_1 が「L」レベルから「H」レベルに立上げられるとともに、信号 ϕB_1 が「H」レベルから「L」レベルに立下げられる。

このように、キャパシタ76を介してノードN22の電位 V_{22} が昇圧されるとともに、キャパシタ77を介してノードN27の電位 V_{27} が降圧される。このとき、出力ノードN121に「L」レベル V_L を出力する動作を行っており、P型トランジスタ35の導通抵抗値はN型トランジスタ31の導通抵抗値よりも低くなっているため、 V_{27} によるレベル降下作用の方が V_{22} によるレベル上昇作用よりも強く働き、ノードN30a, N30b, N121の電位 V_{30a} , V_{30b} , V_O は急速に低下して V_L に到達する。

この実施の形態11では、動作速度の高速化を図ることができる。

[実施の形態12]

図55は、この発明の実施の形態12によるサンプルホールド回路のプッシュ型駆動回路160の構成を示す回路図である。図55において、このプッシュ型駆動回路160は、レベルシフト回路61、プルアップ回路30、および定電流源161を備える。レベルシフト回路61およびプルアップ回路30は、図12で示したものと同一である。

すなわち、レベルシフト回路61は、第3電源電位 V_3 (15V) のノードと接地電位GNDのノードとの間に直列接続された定電流源62、N型トランジスタ23およびP型トランジスタ24を含む。定電流源62は、図56に示すよう

に、P型トランジスタ65、66および抵抗素子67を含む。P型トランジスタ65は第3電源電位V3のノードとN型トランジスタ23のドレイン（ノードN22）との間に接続され、P型トランジスタ66および抵抗素子67は第3電源電位V3のノードと接地電位GNDのノードとの間に直列接続される。P型トランジスタ65、66のゲートは、ともにP型トランジスタ66のドレインに接続される。P型トランジスタ65、66は、カレントミラー回路を構成する。P型トランジスタ66および抵抗素子67には抵抗素子67の抵抗値に応じた値の定電流が流れ、P型トランジスタ65にはP型トランジスタ66に流れる定電流の値に応じた値の定電流が流れる。N型トランジスタ23のゲートは、そのドレイン（ノードN22）に接続されている。N型トランジスタ23は、ダイオード素子を構成する。P型トランジスタ24のゲートは、入力ノードN20に接続される。定電流源62の電流値は、トランジスタ23、24の各々に所定のしきい値電圧を発生させるために必要な最小限の値に設定されている。

入力ノードN20の電位（階調電位）を V_I とし、P型トランジスタのしきい値電圧を V_{TP} とし、N型トランジスタのしきい値電圧を V_{TN} とすると、P型トランジスタ24のソース（ノードN23）の電位 V_{23} およびN型トランジスタ23のドレイン（ノードN22）の電位 V_{22} はそれぞれ $V_{23} = V_I + |V_{TP}|$ 、 $V_{22} = V_I + |V_{TP}| + V_{TN}$ となる。したがって、レベルシフト回路61は、入力電位 V_I を $|V_{TP}| + V_{TN}$ だけレベルシフトさせた電位 V_{22} を出力する。

プルアップ回路30は、第6電源電位V6（15V）のノードと出力ノードN30との間に直列接続されたN型トランジスタ31およびP型トランジスタ32を含む。N型トランジスタ31のゲートは、レベルシフト回路61の出力電位 V_{22} を受ける。P型トランジスタ32のゲートは、そのドレインに接続されている。P型トランジスタ32は、ダイオード素子を構成する。N型トランジスタ31は飽和領域で動作するように第6電源電位V6が設定されているので、N型トランジスタ31はいわゆるソースフォロア動作を行なう。

定電流源161は、出力ノードN30と接地電位GNDのノードとの間に接続される。定電流源161は、図56に示すように、N型トランジスタ162、1

6 3 および抵抗素子 1 6 4 を含む。N 型トランジスタ 1 6 2 は出力ノード N 3 0 と接地電位 GND のノードとの間に接続され、抵抗素子 1 6 4 および N 型トランジスタ 1 6 3 は第 6 電源電位 V 6 のノードと接地電位 GND のノードとの間に直列接続される。N 型トランジスタ 1 6 2, 1 6 3 のゲートは、ともに N 型トランジスタ 1 6 3 のドレインに接続される。N 型トランジスタ 1 6 2, 1 6 3 は、カレントミラー回路を構成する。抵抗素子 1 6 4 および N 型トランジスタ 1 6 3 には抵抗素子 1 6 4 の抵抗値に応じた値の定電流が流れ、N 型トランジスタ 1 6 2 には N 型トランジスタ 1 6 3 に流れる定電流の値に応じた値の定電流が流れる。定電流源 1 6 1 の電流値は、トランジスタ 3 1, 3 2 の各々に所定のしきい値電圧を発生させるために必要な最小限の値に設定されている。

N 型トランジスタ 3 1 のソース（ノード N 3 1）の電位 V 3 1 は $V_{31} = V_2 - V_{TN} = V_I + |V_{TP}|$ となり、出力ノード N 3 0 の電位 V O は $V_O = V_{31} - |V_{TP}| = V_I$ となる。

この実施の形態 1 2 では、トランジスタ 2 3, 2 4, 3 1, 3 2 の各々に所定のしきい値電圧を発生させるために必要な最小限の値の貫通電流を流せば足りるので、消費電流が小さくて済む。

また、図 5 7 は、この実施の形態 1 2 の変更例によるプッシュ型駆動回路 1 6 5 の構成を示す回路図である。図 5 7 を参照して、この駆動回路 1 6 5 が図 5 6 の駆動回路 1 6 0 と異なる点は、抵抗素子 1 6 4 が除去され、抵抗素子 6 7 が 2 つの定電流源 6 2 と 1 6 1 で共用されている点である。抵抗素子 6 7 および N 型トランジスタ 1 6 3 は、P 型トランジスタ 6 6 のソースと接地電位 GND のノードとの間に直列接続される。N 型トランジスタ 1 6 3 のゲートはそのドレインに接続される。この変更例では、抵抗素子 6 7 と 1 6 4 の抵抗値のバラツキによってオフセット電圧が発生することを防止することができる。

また、図 5 8 のプッシュ型駆動回路 1 6 6 は、図 5 5 のプッシュ型駆動回路 1 6 0 からダイオード接続されたトランジスタ 2 3, 3 2 を除去したものである。出力電位 V O は、 $V_O = V_I + |V_{TP}| - V_{TN}$ となる。ただし、 $|V_{TP}| \cong V_{TN}$ と設定すれば、 $V_O \cong V_I$ となる。あるいは、 $|V_{TP}| - V_{TN}$ の値をオフセット値として使用上考慮しておけば図 5 5 の駆動回路 1 6 0 と同様に使

用することができる。この変更例では、トランジスタ 23, 32 を除去したので、回路の占有面積を小さくすることができる。

また、定電流源 62, 161 の各々を抵抗素子で置換してもよい。この場合は、回路構成の簡単化を図ることができる。

5 [実施の形態 13]

図 59 は、この発明の実施の形態 13 によるプル型駆動回路 170 の構成を示す回路図である。図 59 において、この駆動回路 170 は、レベルシフト回路 63、定電流源 171 およびプルダウン回路 33 を含む。レベルシフト回路 63 およびプルダウン回路 33 は、図 12 で示したものと同一である。

10 すなわち、レベルシフト回路 63 は、第 4 電源電位 V_4 (5 V) のノードと第 5 電源電位 V_5 (−10 V) のノードとの間に直列接続された N 型トランジスタ 26、P 型トランジスタ 27 および定電流源 64 を含む。N 型トランジスタ 26 のゲートは、入力ノード N20 の電位 V_I を受ける。P 型トランジスタ 27 のゲートは、そのドレイン (ノード N27) に接続される。P 型トランジスタ 27 は、
15 ダイオード素子を構成する。定電流源 64 の電流値は、トランジスタ 26, 27 の各々に所定のしきい値電圧を発生させるために必要な最小限の値に設定されている。

 N 型トランジスタ 26 のソース (ノード N26) の電位 V_{26} は $V_{26} = V_I - V_{TN}$ となる。P 型トランジスタ 27 のドレイン (ノード N27) の電位 V_{27} は、
20 $V_{27} = V_I - V_{TN} - |V_{TP}|$ となる。したがって、レベルシフト回路 63 は、入力電位 V_I を $-V_{TN} - |V_{TP}|$ だけレベルシフトさせた電位 V_{27} を出力する。

 定電流源 171 は、第 4 電源電位 V_4 のノードと出力ノード N30 との間に接続される。プルダウン回路 33 は、第 7 電源電位 V_7 (−10 V) のノードと出力ノード N30 との間に直列接続された P 型トランジスタ 35 および N 型トランジスタ 34 を含む。P 型トランジスタ 35 のゲートは、レベルシフト回路 63 の出力電位 V_{27} を受ける。N 型トランジスタ 34 のゲートは、そのドレインに接続されている。N 型トランジスタ 34 は、ダイオード素子を構成する。P 型トランジスタ 35 は飽和領域で動作するように第 7 電源電位 V_7 が設定されているの
25

で、P型トランジスタ35はいわゆるソースフォロア動作を行なう。定電流源71の電流値は、トランジスタ34、35の各々に所定のしきい値電圧を発生させるために必要な最小限の値に設定されている。

5 P型トランジスタ35のソース（ノードN34）の電位V34は、 $V_{34} = V_{27} + |V_{TP}| = V_I - V_{TN}$ となる。出力ノードN30の電位VOは、 $V_O = V_{34} + V_{TN} = V_I$ となる。

この実施の形態13では、トランジスタ26、27、34、35の各々に所定のしきい値電圧を発生させるために必要な最小限の値の貫通電流を流せば足りるので、消費電流が小さくて済む。

10 また、図60は、この実施の形態13の変更例によるプル型駆動回路172の構成を示す回路図である。図60を参照して、このプル型駆動回路172は、図59のプル型駆動回路170からダイオード接続されたトランジスタ27、34を除去したものである。出力電位VOは、 $V_O = V_I + |V_{TP}| - V_{TN}$ となる。ただし、 $|V_{TP}| \approx V_{TN}$ と設定すれば、 $V_O \approx V_I$ となる。あるいは、
15 $|V_{TP}| - V_{TN}$ の値をオフセット値として使用上考慮しておけば図59の駆動回路170と同様に使用することができる。この変更例では、トランジスタ27、34を除去したので、回路の占有面積を小さくすることができる。

また、定電流源164、171の各々を抵抗素子で置換してもよい。この場合は、回路構成の簡単化を図ることができる。

20 [実施の形態14]

図61は、この発明の実施の形態14による駆動回路175の構成を示す回路図である。図61において、この駆動回路175は、図55のプッシュ型駆動回路160と、図59のプル型駆動回路170とを組合せたものである。レベルシフト回路61のP型トランジスタ24のゲートおよびレベルシフト回路63のN
25 型トランジスタ26のゲートは、入力ノードN20の電位VIを受ける。プルアップ回路30のP型トランジスタ32のドレインおよびプルダウン回路33のN型トランジスタ34のドレインは、ともに出力ノードN30に接続される。

出力電位VOが入力電位VIよりも高い場合は、プルアップ回路30のトランジスタ31、32が非導通になるとともに、プルダウン回路33のトランジスタ

34, 35が導通し、出力電位 V_O が低下する。出力電位 V_O が入力電位 V_I よりも低い場合は、プルダウン回路33のトランジスタ34, 35が非導通になるとともに、プルアップ回路30のトランジスタ31, 32が導通し、出力電位 V_O が上昇する。したがって、 $V_O = V_I$ となる。

5 この駆動回路175は、プッシュ型駆動回路、プル型駆動回路、またはプッシュプル型駆動回路として用いられる。駆動回路175がプッシュ型駆動回路として用いられる場合は、プルダウン回路33のトランジスタ34, 35の電流駆動能力がプルアップ回路30のトランジスタ31, 32の電流駆動能力に比べて十分に小さなレベルに設定される。駆動回路175がプル型駆動回路として用い
10 られる場合は、プルアップ回路30のトランジスタ31, 32の電流駆動能力がプルダウン回路33のトランジスタ34, 35の電流駆動能力に比べて十分に小さなレベルに設定される。駆動回路175がプッシュプル型駆動回路として用い
15 られる場合は、プルアップ回路30のトランジスタ31, 32の電流駆動能力とプルダウン回路33のトランジスタ34, 35の電流駆動能力とは同じレベルに設定される。

 この実施の形態14でも、貫通電流が小さな駆動回路175を得ることができ、消費電力の低減化を図ることができる。

 また、図62は、この実施の形態14の変更例による駆動回路176の構成を示す回路図である。図62を参照して、この駆動回路176は、図61の駆動回路170からダイオード接続されたトランジスタ23, 27, 32, 34を除去
20 したものである。出力電位 V_O は、 $V_O = V_I + |V_{TP}| - V_{TN}$ となる。ただし、 $|V_{TP}| \approx V_{TN}$ と設定すれば、 $V_O \approx V_I$ となる。あるいは、 $|V_{TP}| - V_{TN}$ の値をオフセット値として使用上考慮しておけば図61の駆動回路175と同様に使用することができる。この変更例では、トランジスタ23, 2
25 7, 32, 34を除去したので、回路の占有面積を小さくすることができる。

 また、図63は、この実施の形態14の他の変更例による駆動回路180の構成を示す回路図である。図63において、この駆動回路180は、図61の駆動回路175のレベルシフト回路61, 63をそれぞれレベルシフト回路181, 183で置換したものである。レベルシフト回路181は、レベルシフト回路6

1の定電流源62を抵抗素子182で置換したものである。レベルシフト回路183は、レベルシフト回路63の定電流源64を抵抗素子184で置換したものである。抵抗素子182、184の抵抗値は、抵抗素子182、184が定電流源62、64と同程度の電流を流すような値に設定されている。この変更例でも、
5 図61の駆動回路175と同じ効果が得られる。

また、図64は、この実施の形態14のさらに他の変更例による駆動回路185の構成を示す回路図である。図64を参照して、この駆動回路185が図61の駆動回路175と異なる点は、定電流源161が出力ノードN30と第5電源電位V5のノードとの間に接続され、定電流源171が第3電源電位V3のノードと出力ノードN30との間に接続されている点である。
10

定電流源62、64、161、171は、図65に示すように、抵抗素子67、P型トランジスタ65、66、189、およびN型トランジスタ186~188で構成される。P型トランジスタ66、抵抗素子67およびN型トランジスタ186は、第3電源電位V3のノードと第5電源電位V5のノードとの間に直列接続される。P型トランジスタ66のゲートはそのドレインに接続され、N型トランジスタ186のゲートはそのドレインに接続される。トランジスタ66、186の各々は、ダイオード素子を構成する。
15

P型トランジスタ65は、第3電源電位V3のノードとノードN22との間に接続され、そのゲートはP型トランジスタ66のゲートに接続される。P型トランジスタ189は、第3電源電位V3のノードと出力ノードN30との間に接続され、そのゲートはP型トランジスタ66のゲートに接続される。P型トランジスタ66、65、189は、カレントミラー回路を構成する。P型トランジスタ65、189の各々には、P型トランジスタ66に流れる電流に応じた値の電流が流れる。P型トランジスタ65、189は、それぞれ定電流源62、171を構成する。
20
25

N型トランジスタ187は、第5電源電位V5のノードとノードN27との間に接続され、そのゲートはN型トランジスタ186のゲートに接続される。N型トランジスタ188は、第5電源電位V5のノードと出力ノードN30との間に接続され、そのゲートはN型トランジスタ186のゲートに接続される。N型ト

ランジスタ 186～188は、カレントミラー回路を構成する。N型トランジスタ 187, 188の各々には、N型トランジスタ 186に流れる電流に応じた値の電流が流れる。N型トランジスタ 187, 188は、それぞれ定電流源 64, 161を構成する。他の構成および動作は、図 61の駆動回路 175と同じであるので、その説明は繰り返さない。この変更例でも、図 61の駆動回路 175と同じ効果が得られる。

[実施の形態 15]

図 66は、この発明の実施の形態 15によるカラー液晶表示装置の要部を示す回路図であって、図 3と対比される図である。図 66を参照して、このカラー液晶表示装置が実施の形態 1のカラー液晶表示装置と異なる点は、液晶セル 2の一方電極が駆動回路 20の出力ノード N30の代わりに入力ノード N20に接続されている点である。

ノード N30と N20の電位差が大きい場合は、スイッチ 16の寄生抵抗（抵抗素子 18）を介してノード N30と N20の間にリーク電流が流れ、ノード N20の電位が変化する。しかし、ノード N30と N20の電位差が駆動回路 20の通常のオフセット電圧程度であれば、ノード N30と N20の間のリーク電流は無視できる程度に小さくなり、ノード N20の電位は変化しない。したがって、データ線 6の諧調電位 VGが液晶セル 2の一方電極に正確に与えられ、正確な光透過率が得られる。

なお、駆動回路 20を実施の形態 1～14で示した他の駆動回路で置換しても同じ効果が得られることは言うまでもない。駆動回路は、オフセット補償機能を持たない簡易な構成のもので差し支えない。

[実施の形態 16]

図 67は、この発明の実施の形態 16によるカラー液晶表示装置の要部を示す回路図であって、図 66と対比される図である。図 67を参照して、このカラー液晶表示装置が実施の形態 15のカラー液晶表示装置と異なる点は、サンプルホールド回路 14がサンプルホールド回路 190で置換されている点である。

サンプルホールド回路 190は、サンプルホールド回路 14の駆動回路 20をプッシュ型駆動回路 191で置換し、キャパシタ 192を追加したものである。

5 キャパシタ 192 の一方電極はプッシュ型駆動回路 191 の出力ノード N30 に接続され、その他方電極は共通電位 VCOM を受ける。プッシュ型駆動回路 191 は、図 68 に示すように、レベルシフト回路 21、プルアップ回路 30、スイッチ 201 ~ 203 および抵抗素子 204 を含む。レベルシフト回路 21 およびプルアップ回路 30 の構成および動作は、図 4 および図 5 で説明したとおりである。

10 スイッチ 201 の一方電極は第 3 電源電位 V3 を受け、その他方電極は抵抗素子 22 を介してノード N22 に接続される。スイッチ 202 の一方電極は第 6 電源電位 V6 を受け、その他方電極は N 型トランジスタ 31 のドレインに接続される。スイッチ 203 は、P 型トランジスタ 32 のドレインと出力ノード N30 との間に接続される。抵抗素子 204 は、P 型トランジスタ 32 のドレインと接地電位 GND のラインとの間に接続される。

15 図 69 は、このプッシュ型駆動回路 191 の動作を示すタイムチャートである。スイッチ 201 ~ 203 は、所定周期 ($t_3 - t_1$) で所定時間 ($t_2 - t_1$) だけオンされる。スイッチ 201 ~ 203 がオンされると、抵抗素子 22, 204 にそれぞれ電流 I_1 , I_2 が流れ、キャパシタ 192 が充電されて $V_O = V_I$ となる。スイッチ 201 ~ 203 がオフされると、キャパシタ 192 の電荷がたとえばデータ線にリークして V_O が徐々に低下する。 V_O の低下分 ΔV が許容範囲内になるようにスイッチ 201 ~ 203 のオン時間とオフ時間の比が設定されている。

20 この実施の形態 16 では、実施の形態 15 と同じ効果が得られる他、駆動回路 191 の電源を間欠的にオン／オフするので、消費電流の低減化を図ることができる。

25 なお、スイッチ 201 は、抵抗素子 22、N 型トランジスタ 23 および P 型トランジスタ 24 と直列に接続されていれば、どの位置に設けてもよい。たとえばスイッチ 201 と抵抗素子 22 の位置を逆にしてもよい。またスイッチ 202 は、N 型トランジスタ 31、P 型トランジスタ 32 および抵抗素子 204 と直列に接続されていれば、どの位置に設けてもよい。

以下、この実施の形態 16 の種々の変更例について説明する。図 70 のプル型

駆動回路 205 は、レベルシフト回路 25、プルダウン回路 33、スイッチ 206～208 および抵抗素子 209 を含む。レベルシフト回路 25 およびプルダウン回路 33 の構成および動作は、図 4 および図 5 で説明したとおりである。スイッチ 206 の一方電極は第 5 電源電位 V_5 を受け、その他方電極は抵抗素子 28 を介してノード N_{27} に接続される。スイッチ 207 の一方電極は第 7 電源電位 V_7 を受け、その他方電極は P 型トランジスタ 35 のドレインに接続される。スイッチ 208 は、N 型トランジスタ 34 のドレインと出力ノード N_{30} との間に接続される。抵抗素子 209 は、N 型トランジスタ 34 のドレインと第 4 の電源電位 V_4 のラインとの間に接続される。スイッチ 206～208 は、図 68 および図 69 で示したスイッチ 201～203 と同様にオン/オフされる。この変更例でも、消費電力の低減化を図ることができる。

図 71 のプッシュプル型駆動回路 210 は、図 68 のプッシュ型駆動回路 191 と図 70 のプル型駆動回路 205 とを組合せたものである。但し、スイッチ 208 は除去され、P 型トランジスタ 32 のドレインおよび N 型トランジスタ 34 のドレインは、共にスイッチ 203 を介して出力ノード N_{30} に接続される。スイッチ 201～203、206、207 は同時にオン/オフされる。この変更例でも、消費電力の低減化を図ることができる。

図 72 のプッシュプル型駆動回路 215 は、図 71 のプッシュプル型駆動回路 210 からスイッチ 206、207 を除去し、スイッチ 201、202 をプッシュ側とプル側で共用するものである。N 型トランジスタ 26 のドレインは、スイッチ 201 と抵抗素子 22 の間のノードに接続される。N 型トランジスタ 34 のドレインは、抵抗素子 209 を介して N 型トランジスタ 31 のドレインに接続される。この変更例では、スイッチの数が少なくて済む。

図 73 のカラー液晶表示装置では、液晶セル 2 の一方電極はプッシュ型駆動回路 191 の出力ノード N_{30} に接続される。この変更例でも、消費電力の低減化が図られる。

[実施の形態 17]

図 74 は、この発明の実施の形態 17 による画像表示装置の要部を示す回路図である。この画像表示装置の全体構成は図 1 のカラー液晶表示装置と同様であり、

走査線 4 とデータ線 6 の各交差部に EL 素子 220 およびサンプルホールド回路 221 が設けられている。水平走査回路 8 の階調電位発生回路 10 および駆動回路 13 は、画像信号に応じたレベルの階調電流 IG をデータ線 6 に流す電流源 230 で置換されている。

- 5 サンプルホールド回路 221 は、P 型トランジスタ 222、キャパシタ 223、
駆動回路 224 およびスイッチ 225～229 を含む。P 型トランジスタ 222、
スイッチ 228 および EL 素子 220 は、電源電位 VCC のラインと接地電位 GND のラインとの間に直列接続される。キャパシタ 223 は、P 型トランジスタ
222 のソースおよびゲート間に接続されている。スイッチ 225、226 は、
10 P 型トランジスタ 222 のゲートおよびドレイン間に直列接続される。スイッチ
227 は、データ線 6 と P 型トランジスタ 222 のドレインとの間に接続される。
駆動回路 224 およびスイッチ 229 は、P 型トランジスタ 222 のゲートとス
イッチ 225、226 間のノードとの間に接続される。スイッチ 225～229
は、走査線 4 によってオン／オフ制御される。

- 15 走査線 4 が選択レベルの「H」レベルにされた場合は、スイッチ 225～227
がオンされるとともにスイッチ 228、229 がオフされる。これにより、P
型トランジスタ 222 がスイッチ 225、226 によってダイオード接続され、
電源電位 VCC のラインから P 型トランジスタ 222、スイッチ 227 およびデ
ータ線 6 を介して電流源 230 に画像信号に応じたレベルの階調電流 IG が流れ
20 る。このとき、P 型トランジスタ 222 のゲートは階調電流 IG に応じたレベル
の電位になっており、キャパシタ 223 は P 型トランジスタ 222 のソースーゲ
ート間電圧に充電される。

- 25 走査線 4 が非選択レベルの「L」レベルに立下げられると、スイッチ 225～
227 がオフされるとともにスイッチ 228、229 がオンされる。P 型ラン
ジスタ 222 のゲート電位はキャパシタ 223 によって保持されているので、電
源電圧 VCC のラインから P 型トランジスタ 222、スイッチ 228 および EL
素子 20 を介して接地電位 GND のラインに階調電流 IG が流れ、EL 素子 22
0 は階調電流 IG に応じた輝度で発光する。

このとき、駆動回路 224 によってスイッチ 225、226 間のノードの電位

がP型トランジスタ222のゲート電位に保持されるので、P型トランジスタ222のゲート電位が一定に保持され、EL素子220は一定の輝度で発光し続ける。

5 なお、駆動回路224およびスイッチ226、229がない場合は、スイッチ225、227の寄生抵抗を介してP型トランジスタ222のゲートとデータ線6の間にリーク電流が流れ、P型トランジスタ222のゲート電位が変化してEL素子220の輝度が変化する。

〔実施の形態18〕

10 図75は、この発明の実施の形態18による画像表示装置の要部を示す回路図である。この画像表示装置の全体構成は図1のカラー液晶表示装置と同様であり、走査線4とデータ線6の各交差部にEL素子220およびサンプルホールド回路231が設けられている。水平走査回路8の階調電位発生回路10および駆動回路13は、画像信号に応じたレベルの階調電流IGをデータ線6に流す電流源240で置換されている。

15 サンプルホールド回路231は、N型トランジスタ232、キャパシタ233、駆動回路234およびスイッチ235～239を含む。EL素子220、スイッチ238およびN型トランジスタ232は、電源電位VCCのラインと接地電位GNDのラインとの間に直列接続される。スイッチ235は、データ線6とN型トランジスタ232のドレインとの間に接続される。スイッチ236、237は、20 N型トランジスタ232のドレインおよびゲート間に直列接続される。キャパシタ233は、N型トランジスタ232のゲートおよびソース間に接続される。駆動回路234およびスイッチ239は、N型トランジスタ232のゲートとスイッチ236、237間のノードとの間に直列接続される。スイッチ235～239は、走査線4によってオン／オフ制御される。

25 走査線4が選択レベルの「H」レベルにされた場合は、スイッチ235～237がオンされるとともにスイッチ238、239がオフされる。これにより、N型トランジスタ232がスイッチ236、237によってダイオード接続され、電流源240からデータ線6、スイッチ235およびN型トランジスタ232を介して接地電位GNDのラインに画像信号に応じたレベルの階調電流IGが流れ

る。このときN型トランジスタ232のゲートは階調電流IGに応じたレベルの電位になっており、キャパシタ233はN型トランジスタ230のゲートソース間電圧に充電される。

走査線4が選択レベルの「L」レベルに立下げられると、スイッチ235～237がオフされるとともにスイッチ238、239がオンされる。N型トランジスタ232のゲート電位はキャパシタ233に保持されているので、電源電位VCCのラインからEL素子220、スイッチ238およびN型トランジスタ232を介して接地電位GNDのラインに階調電流IGが流れ、EL素子220は階調電流IGに応じた輝度で発光する。

このとき、駆動回路234によってスイッチ236、237間のノードの電位がN型トランジスタ232のゲート電位に保持されるので、N型トランジスタ232のゲート電位が一定に保持され、EL素子220は一定の輝度で発光し続ける。

なお、駆動回路234およびスイッチ236、239がない場合は、スイッチ235、237の寄生抵抗を介してN型トランジスタ232のゲートとデータ線6の間にリーク電流が流れ、N型トランジスタ232のゲート電位が変化してEL素子220の輝度が変化する。

なお、以上の実施の形態1～18では、液晶セル2、EL素子51、220を用いたアクティブマトリクス型表示装置について説明したが、この発明は他のどのような電気-光変換素子を用いたアクティブマトリクス型表示装置にも適用可能であることは言うまでもない。

今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

請求の範囲

1. 入力電位 (VG) をサンプリングし、サンプリングした電位を保持および出力するサンプルホールド回路 (14) であって、

5 その一方電極が前記入力電位 (VG) を受け、第1の期間に導通する第1のスイッチング素子 (15)、

 その一方電極が前記第1のスイッチング素子 (15) の他方電極に接続され、第2の期間に導通する第2のスイッチング素子 (16)、

10 その一方電極が前記第2のスイッチング素子 (16) の他方電極に接続され、その他方電極が所定の電位 (VCOM) を受ける第1のキャパシタ (19)、および

 その入力ノード (N20) が前記第2のスイッチング素子 (16) の他方電極に接続され、その出力ノード (N30) が前記第1のスイッチング素子 (15) の他方電極に接続され、前記入力ノード (N20) の電位に応じた電位を出力ノード (N30) に出力する駆動回路 (160) を備える、サンプルホールド回路。

15

2. 前記第1および第2の期間は同じ期間である、請求項1に記載のサンプルホールド回路。

3. 前記第2の期間は前記第1の期間内の期間である、請求項1に記載のサンプルホールド回路。

20 4. 前記駆動回路 (160) は、

 前記入力ノード (N20) の電位 (V1) を予め定められた第1の電圧だけある電位方向にレベルシフトさせた電位 (V22) を出力する第1のレベルシフト回路 (61)、

25 前記第1のレベルシフト回路 (61) の出力電位 (V22) を前記ある電位方向と逆の電位方向に予め定められた第2の電圧だけレベルシフトさせた電位を前記出力ノード (N30) に出力する第2のレベルシフト回路 (30, 161) を含む、請求項1に記載のサンプルホールド回路。

5. 前記第1のレベルシフト回路 (61) は、

 その一方電極が第1の電源電位 (V3) を受ける第1の電流制限素子 (62)、

および

その第1の電極が前記第1の電流制限素子(62)の他方電極に接続され、その第2の電極が第2の電源電位(GND)を受け、その入力電極が前記入力ノード(N20)の電位(VI)を受ける第1の導電形式の第1のトランジスタ(24)を含み、

前記第2のレベルシフト回路(30, 161)は、その第1の電極が第3の電源電位(V6)を受け、その第2の電極が前記出力ノード(N30)に接続され、その入力電極が前記第1の電流制限素子(62)の他方電極に接続された第2の導電形式の第2のトランジスタ(31)を含む、請求項4に記載のサンプルホールド回路。

6. 前記第1のレベルシフト回路(61)は、さらに、その第1の電極および入力電極が前記第1の電流制限素子(62)の他方電極に接続され、その第2の電極が前記第1のトランジスタ(24)の第1の電極に接続された第2の導電形式の第3のトランジスタ(23)を含み、

前記第2のレベルシフト回路(30, 161)は、さらに、その第1の電極が前記第2のトランジスタ(31)の第2の電極に接続され、その第2の電極および入力電極が前記出力ノード(N30)に接続された第1の導電形式の第4のトランジスタ(32)を含む、請求項5に記載のサンプルホールド回路。

7. 前記第2のレベルシフト回路(30, 161)は、さらに、前記出力ノード(N30)と第4の電源電位(GND)のラインとの間に接続された第2の電流制限素子(161)を含む、請求項5に記載のサンプルホールド回路。

8. 前記第1および第3の電源電位(V3, V6)は同電位であり、

前記第2および第4の電源電位(GND, GND)は同電位である、請求項7に記載のサンプルホールド回路。

9. 前記第1および第2の電流制限素子(62, 161)はそれぞれ第1および第2の抵抗素子を含む、請求項7に記載のサンプルホールド回路。

10. 前記第1の電流制限素子(62)は、その入力電極が第1の定電圧を受ける第2の導電形式の第3のトランジスタ(65)を含み、

前記第2の電流制限素子(162)は、その入力電極が第2の定電圧を受ける

第1の導電形式の第4のトランジスタ（161）を含む、請求項7に記載のサンプルホールド回路。

11. 前記駆動回路（75, 80）は、さらに、前記入力ノード（N20）の電位（V1）が前記ある電位方向に変化されたことに応じて前記第1および第2
5 のレベルシフト回路（61, 30）間の所定のノード（N22）の電位（V22）を前記ある電位方向にパルス的に変化させるパルス発生回路（76, 81）を含む、請求項4に記載のサンプルホールド回路。

12. 前記パルス発生回路（76）は、その一方電極が前記第1のノード（N22）に接続され、その他方電極の電位が前記入力ノード（N20）の電位（V
10 I）が前記ある電位方向に変化されたことに応じて前記ある電位方向にパルス的に変化される第2のキャパシタ（76）を含む、請求項11に記載のサンプルホールド回路。

13. 前記パルス発生回路（81）は、その一方電極が第1の電源電位（V3）を受け、その他方電極が前記所定のノード（N22）に接続され、前記入力
15 ノード（N20）の電位（V1）が前記ある電位方向に変化されたことに応じてパルス的に導通する第3のスイッチング素子（81）を含む、請求項11に記載のサンプルホールド回路。

14. 前記駆動回路（125）は、さらに、オフセット電圧を打消すオフセット補償回路（122a, S1a~S3a）を含む、請求項4に記載のサンプル
20 ホールド回路。

15. 前記第2のレベルシフト回路（30）の出力電位は、前記出力ノード（N121）の代りに第2のノード（N30a）に接続され、
前記オフセット補償回路（122a, S1a~S3a）は、
第2のキャパシタ（122a）、
25 前記第2のキャパシタ（122a）の一方電極および前記第1のレベルシフト回路（61）に前記入力ノードの電位（V1）を与えるとともに前記第2のキャパシタ（122a）の他方電極を前記所定のノード（N30a）に接続する第1の切換回路（S1a, S2a）、および

前記第2のキャパシタ（122a）の他方電極に前記入力ノードの電位（V

I) を与えるとともに前記第2のキャパシタ (122a) の一方電極の電位を前記入力ノードの電位 (VI) の代りに前記第1のレベルシフト回路 (61) に与える第2の切換回路 (S3a)、および

前記第2のノード (N30a) の電位を前記出力ノード (N121) に与える第3の切換回路 (S4a) を含む、請求項14に記載のサンプルホールド回路。

16. 前記オフセット補償回路 (122a, 126a, 131a, S1a~S3a) は、さらに、前記第1の切換回路 (S1a, S2a) によって前記第2のキャパシタ (122a) の一方電極に前記入力電位が与えられるとともに前記第2のキャパシタ (122a) の他方電極が前記所定のノード (N30a) に接続されている期間において、前記所定のノード (N30a) の電位を前記ある電位方向と逆の電位方向にパルス的に変化させるパルス発生回路 (126a, 131a) を含む、請求項15に記載の駆動回路。

17. 前記駆動回路 (191) は、さらに、前記第1および第2のレベルシフト回路 (21, 30) に電源電圧を間欠的に与える切換回路 (201, 202) を含む、請求項4に記載のサンプルホールド回路。

18. 請求項1のサンプルホールド回路 (14) と、その一方電極が前記駆動回路 (20) の出力ノード (N30) に接続され、その他方電極が共通電位 (VCOM) を受ける液晶セル (2) とを備える、画像表示装置。

19. 請求項1のサンプルホールド回路 (14) と、その一方電極が前記駆動回路 (20) の入力ノード (N20) に接続され、その他方電極が共通電位 (VCOM) を受ける液晶セル (2) とを備える、画像表示装置。

20. 請求項1のサンプルホールド回路 (226, 225, 223, 224)、その第1の電極が前記第1のスイッチング素子 (226) の一方電極に接続され、その入力電極が前記第2のスイッチング素子 (225) の他方電極に接続され、その第2の電極が前記第1のキャパシタ (223) の他方電極に接続されたトランジスタ (222)、

前記第1および第2のスイッチング素子 (226, 225) が共に導通している前記第1および第2の期間に前記トランジスタ (222) の第1の電極に接続されて前記トランジスタ (222) に階調電流 (IG) を流す電流源 (230)、

および

- 前記第 1 および第 2 の期間の経過後に前記トランジスタ (222) の第 1 の電極と電源電位 (GND) のラインとの間に接続され、前記トランジスタ (222) に流れる電流に応じた輝度で発光する発光素子 (220) を備える、画像表示装置。
- 5

補正書の請求の範囲

[2003年12月22日 (22. 12. 03) 国際事務局受理：出願当初の請求の範囲
1,4-7,9及び10は補正された；出願当初の請求の範囲17は取り下げられた；
新しい請求の範囲21が加えられた；他の請求の範囲は変更なし。(5頁)]

1. (補正後) 入力電位 (VG) をサンプリングし、サンプリングした電位を保持および出力するサンプルホールド回路 (14) であって、

5 その一方電極が前記入力電位 (VG) を受け、第1の期間に導通する第1のスイッチング素子 (15)、

 その一方電極が前記第1のスイッチング素子 (15) の他方電極に接続され、第2の期間に導通する第2のスイッチング素子 (16)、

 その一方電極が前記第2のスイッチング素子 (16) の他方電極に接続され、
10 その他方電極が所定の電位 (VCOM) を受ける第1のキャパシタ (19)、および

 その入力ノード (N20) が前記第2のスイッチング素子 (16) の他方電極に接続され、その出力ノード (N30) が前記第1のスイッチング素子 (15) の他方電極に接続され、前記入力ノード (N20) の電位に応じた電位を出力ノード (N30) に出力する駆動回路 (191) を備え、
15

 前記駆動回路 (191) の電源電圧は、間欠的に供給される、サンプルホールド回路。

2. 前記第1および第2の期間は同じ期間である、請求項1に記載のサンプルホールド回路。

20 3. 前記第2の期間は前記第1の期間内の期間である、請求項1に記載のサンプルホールド回路。

4. (補正後) 前記駆動回路 (191) は、

 前記入力ノード (N20) の電位 (VI) を予め定められた第1の電圧だけある電位方向にレベルシフトさせた電位 (V22) を出力する第1のレベルシフト回路 (21)、
25

 前記第1のレベルシフト回路 (21) の出力電位 (V22) を前記ある電位方向と逆の電位方向に予め定められた第2の電圧だけレベルシフトさせた電位を前記出力ノード (N30) に出力する第2のレベルシフト回路 (30, 204) を含む、請求項1に記載のサンプルホールド回路。

5. (補正後) 前記駆動回路 (191) は、
その一方電極が第1の電源電位 (V3) を受ける第1の電流制限素子 (22)、
その第1の電極が前記第1の電流制限素子 (22) の他方電極に接続され、そ
の第2の電極が第2の電源電位 (GND) を受け、その入力電極が前記入力ノー
5 ド (N20) の電位 (V1) を受ける第1の導電形式の第1のトランジスタ (2
4)、および

その第1の電極が第3の電源電位 (V6) を受け、その第2の電極が前記出力
ノード (N30) に接続され、その入力電極が前記第1の電流制限素子 (22)
の他方電極に接続された第2の導電形式の第2のトランジスタ (31) を含む、
10 請求項1に記載のサンプルホールド回路。

6. (補正後) 前記駆動回路 (191) は、
さらに、その第1の電極および入力電極が前記第1の電流制限素子 (22) の
他方電極に接続され、その第2の電極が前記第1のトランジスタ (24) の第1
の電極に接続された第2の導電形式の第3のトランジスタ (23)、および
15 その第1の電極が前記第2のトランジスタ (31) の第2の電極に接続され、
その第2の電極および入力電極が前記出力ノード (N30) に接続された第1の
導電形式の第4のトランジスタ (32) を含む、請求項5に記載のサンプルホー
ルド回路。

7. (補正後) 前記駆動回路 (191) は、さらに、前記出力ノード (N3
20 0) と第4の電源電位 (GND) のラインとの間に接続された第2の電流制限素
子 (204) を含む、請求項5に記載のサンプルホールド回路。

8. 前記第1および第3の電源電位 (V3, V6) は同電位であり、
前記第2および第4の電源電位 (GND, GND) は同電位である、請求項7
に記載のサンプルホールド回路。

25 9. (補正後) 前記第1および第2の電流制限素子は、それぞれ第1および第
2の抵抗素子 (22, 204) を含む、請求項7に記載のサンプルホールド回路。

10. (補正後) 前記第1の電流制限素子は、その入力電極が第1の定電圧を
受ける第1の導電形式の第3のトランジスタ (65) を含む、

前記第2の電流制限素子は、その入力電極が第2の定電圧を受ける第2の導電

形式の第4のトランジスタ（162）を含む、請求項7に記載のサンプルホールド回路。

11. 前記駆動回路（75, 80）は、さらに、前記入力ノード（N20）の電位（V1）が前記ある電位方向に変化されたことに応じて前記第1および第2のレベルシフト回路（61, 30）間の所定のノード（N22）の電位（V22）を前記ある電位方向にパルス的に変化させるパルス発生回路（76, 81）を含む、請求項4に記載のサンプルホールド回路。

12. 前記パルス発生回路（76）は、その一方電極が前記第1のノード（N22）に接続され、その他方電極の電位が前記入力ノード（N20）の電位（V1）が前記ある電位方向に変化されたことに応じて前記ある電位方向にパルス的に変化される第2のキャパシタ（76）を含む、請求項11に記載のサンプルホールド回路。

13. 前記パルス発生回路（81）は、その一方電極が第1の電源電位（V3）を受け、その他方電極が前記所定のノード（N22）に接続され、前記入力ノード（N20）の電位（V1）が前記ある電位方向に変化されたことに応じてパルス的に導通する第3のスイッチング素子（81）を含む、請求項11に記載のサンプルホールド回路。

14. 前記駆動回路（125）は、さらに、オフセット電圧を打消すオフセット補償回路（122a, S1a～S3a）を含む、請求項4に記載のサンプルホールド回路。

15. 前記第2のレベルシフト回路（30）の出力電位は、前記出力ノード（N121）の代りに第2のノード（N30a）に接続され、前記オフセット補償回路（122a, S1a～S3a）は、第2のキャパシタ（122a）、

25 前記第2のキャパシタ（122a）の一方電極および前記第1のレベルシフト回路（61）に前記入力ノードの電位（V1）を与えるとともに前記第2のキャパシタ（122a）の他方電極を前記所定のノード（N30a）に接続する第1の切換回路（S1a, S2a）、および

前記第2のキャパシタ（122a）の他方電極に前記入力ノードの電位（V

I) を与えるとともに前記第2のキャパシタ (1 2 2 a) の一方電極の電位を前記入力ノードの電位 (V I) の代りに前記第1のレベルシフト回路 (6 1) に与える第2の切換回路 (S 3 a)、および

5 前記第2のノード (N 3 0 a) の電位を前記出力ノード (N 1 2 1) に与える第3の切換回路 (S 4 a) を含む、請求項14に記載のサンプルホールド回路。

1 6. 前記オフセット補償回路 (1 2 2 a, 1 2 6 a, 1 3 1 a, S 1 a ~ S 3 a) は、さらに、前記第1の切換回路 (S 1 a, S 2 a) によって前記第2のキャパシタ (1 2 2 a) の一方電極に前記入力電位が与えられるとともに前記第2のキャパシタ (1 2 2 a) の他方電極が前記所定のノード (N 3 0 a) に接続
10 されている期間において、前記所定のノード (N 3 0 a) の電位を前記ある電位方向と逆の電位方向にパルス的に変化させるパルス発生回路 (1 2 6 a, 1 3 1 a) を含む、請求項15に記載の駆動回路。

1 7. (削除)

1 8. 請求項1のサンプルホールド回路 (1 4) と、その一方電極が前記駆動回路 (2 0) の出力ノード (N 3 0) に接続され、その他方電極が共通電位 (V COM) を受ける液晶セル (2) とを備える、画像表示装置。
15

1 9. 請求項1のサンプルホールド回路 (1 4) と、その一方電極が前記駆動回路 (2 0) の入力ノード (N 2 0) に接続され、その他方電極が共通電位 (V COM) を受ける液晶セル (2) とを備える、画像表示装置。

20 2 0. 請求項1のサンプルホールド回路 (2 2 6, 2 2 5, 2 2 3, 2 2 4)、その第1の電極が前記第1のスイッチング素子 (2 2 6) の一方電極に接続され、その入力電極が前記第2のスイッチング素子 (2 2 5) の他方電極に接続され、その第2の電極が前記第1のキャパシタ (2 2 3) の他方電極に接続されたトランジスタ (2 2 2)、

25 前記第1および第2のスイッチング素子 (2 2 6, 2 2 5) が共に導通している前記第1および第2の期間に前記トランジスタ (2 2 2) の第1の電極に接続されて前記トランジスタ (2 2 2) に階調電流 (I G) を流す電流源 (2 3 0)、および

前記第1および第2の期間の経過後に前記トランジスタ (2 2 2) の第1の電

極と電源電位（GND）のラインとの間に接続され、前記トランジスタ（222）に流れる電流に応じた輝度で発光する発光素子（220）を備える、画像表示装置。

21. （追加）入力電位（VG）をサンプリングし、サンプリングした電位を
5 保持および出力するサンプルホールド回路（14）であって、

その一方電極が前記入力電位（VG）を受け、第1の期間に導通する第1のスイッチング素子（15）、

その一方電極が前記第1のスイッチング素子（15）の他方電極に接続され、第2の期間に導通する第2のスイッチング素子（16）、

10 その一方電極が前記第2のスイッチング素子（16）の他方電極に接続され、その他方電極が所定の電位（VCOM）を受けるキャパシタ（19）、および

その入力ノード（N20）が前記第2のスイッチング素子（16）の他方電極に接続され、その出力ノード（N30）が前記第1のスイッチング素子（15）の他方電極に接続され、前記入力ノード（N20）の電位に応じた電位を出力ノード（N30）に出力する駆動回路（191）を備え、
15

前記駆動回路（191）は、

その一方電極が第1の電源電位（V3）を受ける第1の電流制限素子（22）、

その第1の電極および入力電極が前記第1の電流制限素子（22）の他方電極に接続された第1の導電形式の第1のトランジスタ（23）、

20 その第1の電極が前記第1のトランジスタ（23）の第2の電極に接続され、その第2の電極が第2の電源電位（GND）を受け、その入力電極が前記入力ノード（N20）の電位（VI）を受ける第2の導電形式の第2のトランジスタ（24）、

25 その第1の電極が第3の電源電位（V6）を受け、その入力電極が前記第1の電流制限素子（22）の他方電極に接続された第1の導電形式の第3のトランジスタ（31）、および

その第1の電極が前記第3のトランジスタ（31）の第2の電極に接続され、その第2の電極および入力電極が前記出力ノード（N30）に接続された第2の導電形式の第4のトランジスタ（32）を含む、サンプルホールド回路。

FIG.1

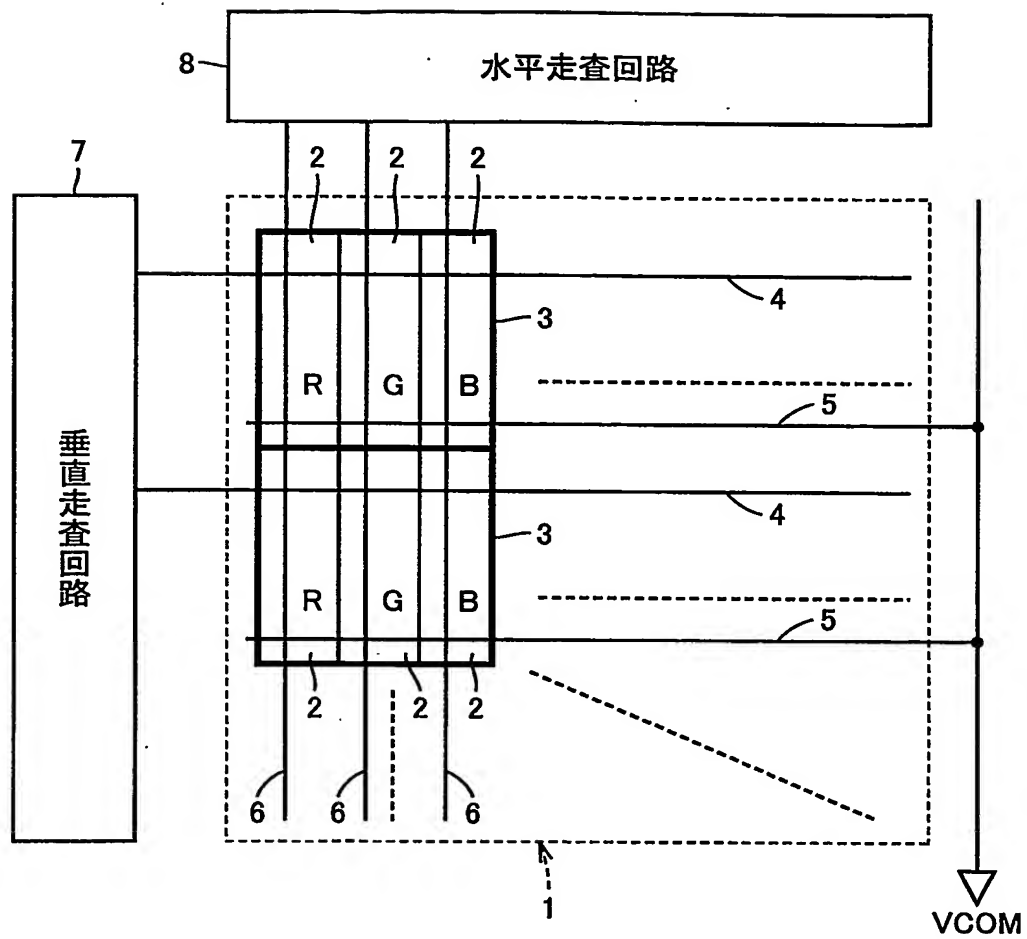


FIG.2

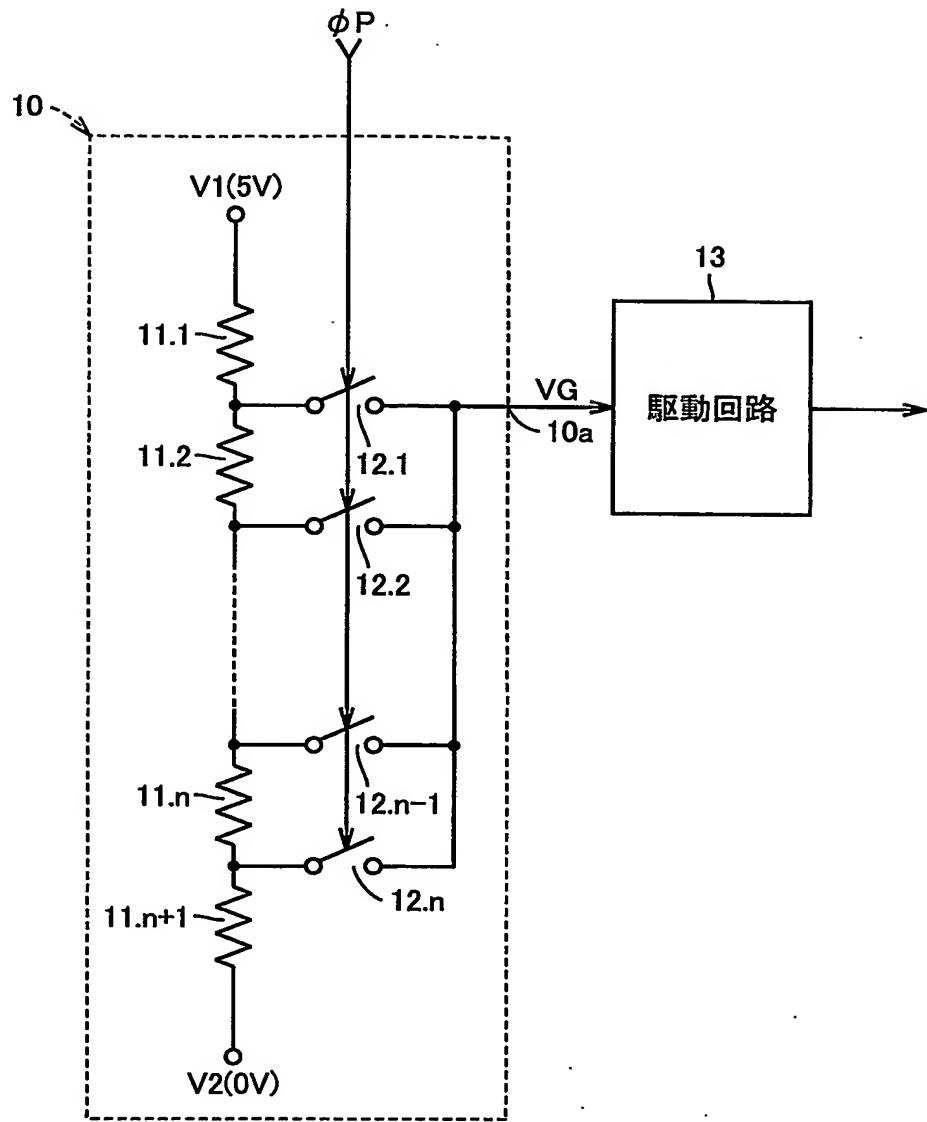


FIG.3

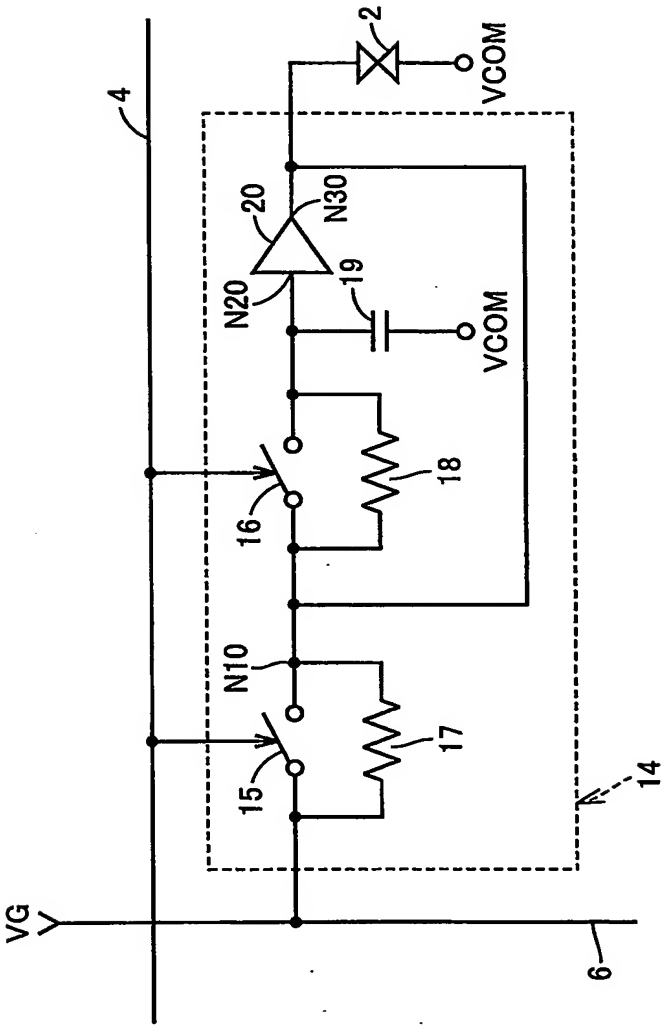


FIG.4

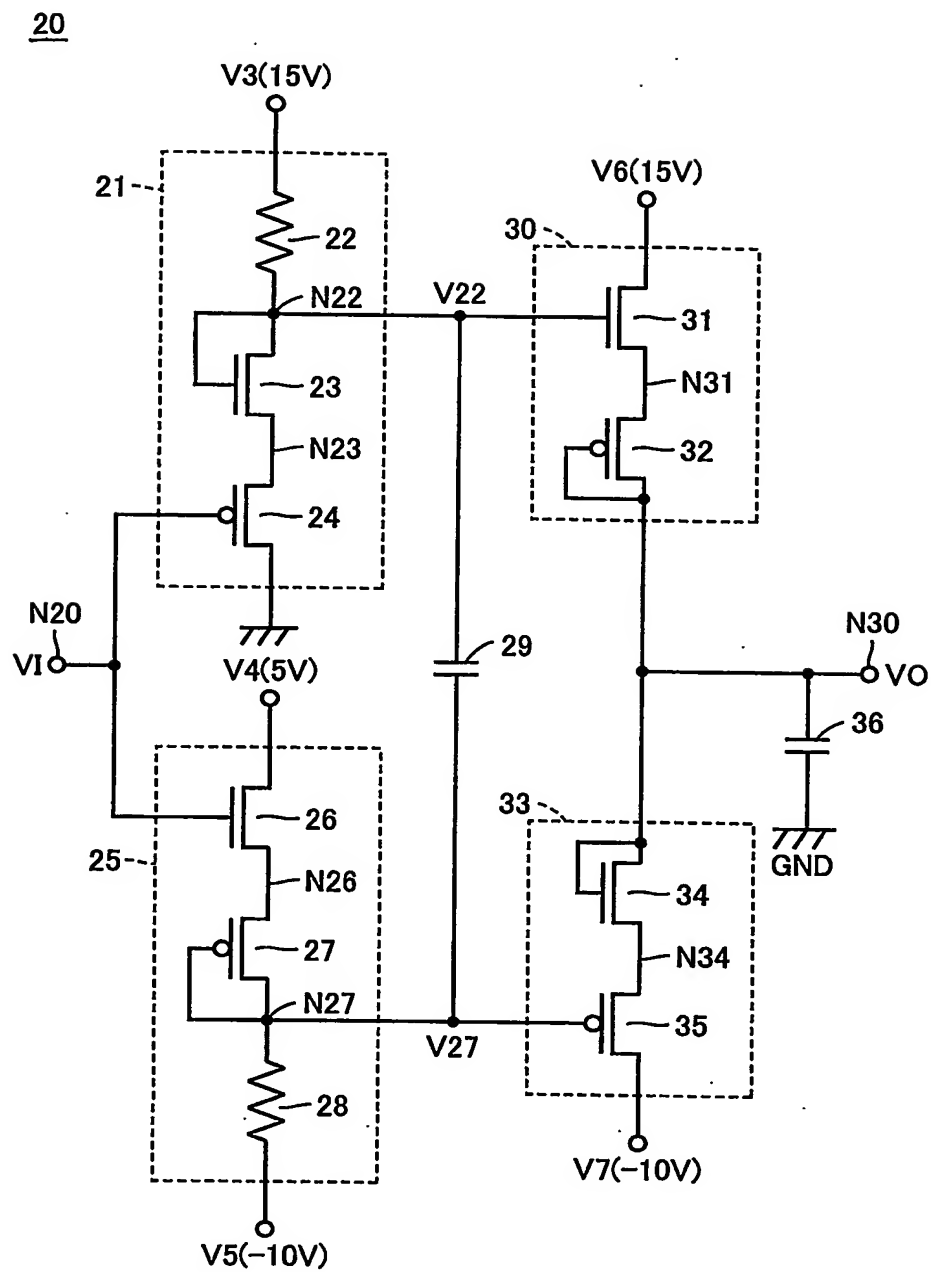


FIG.6

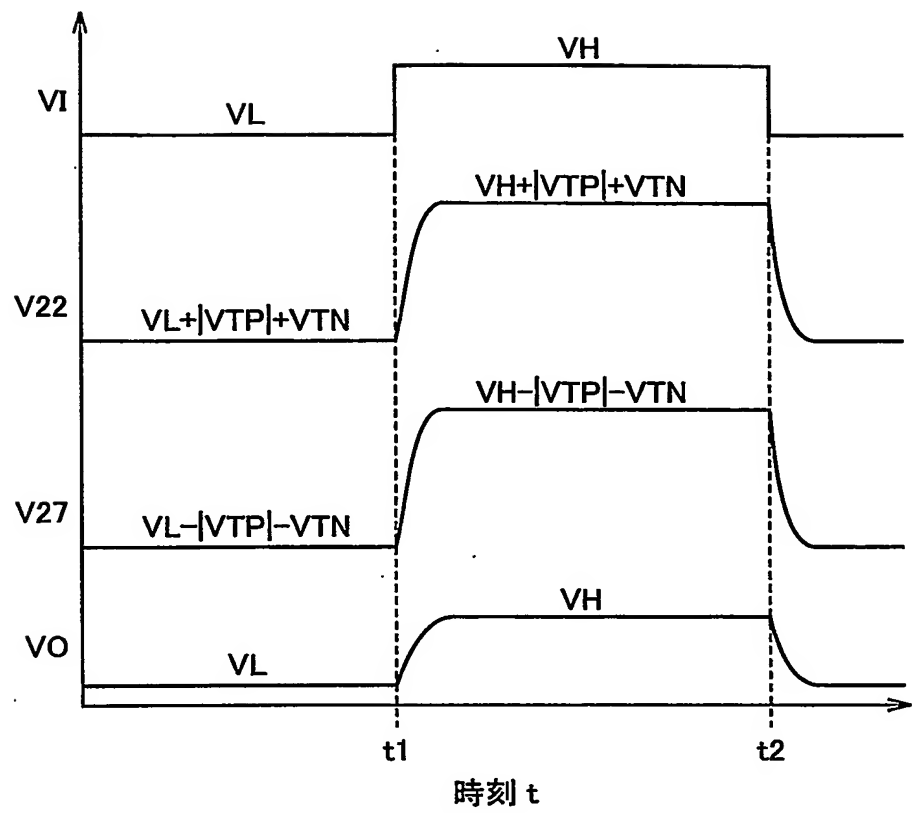


FIG.7

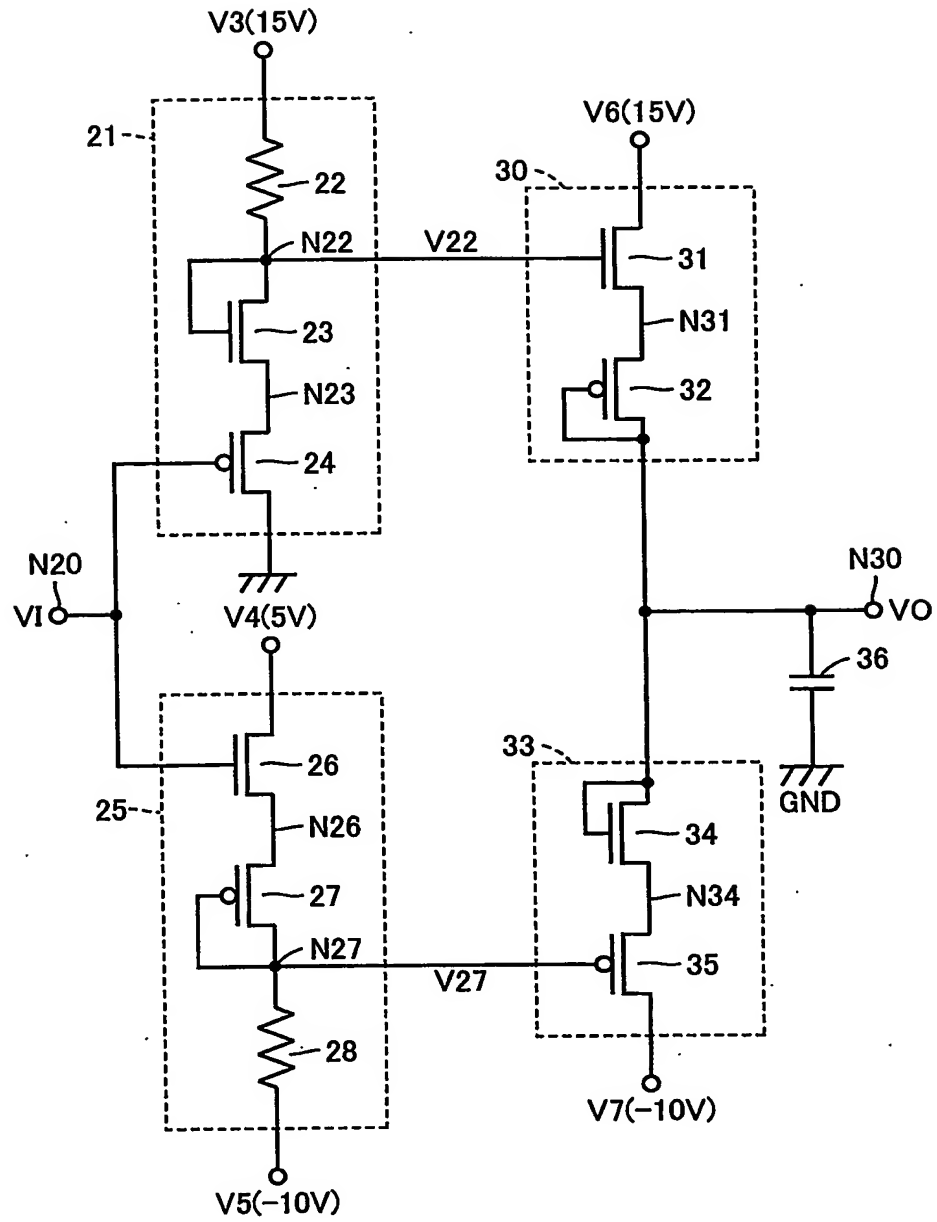
40

FIG.8

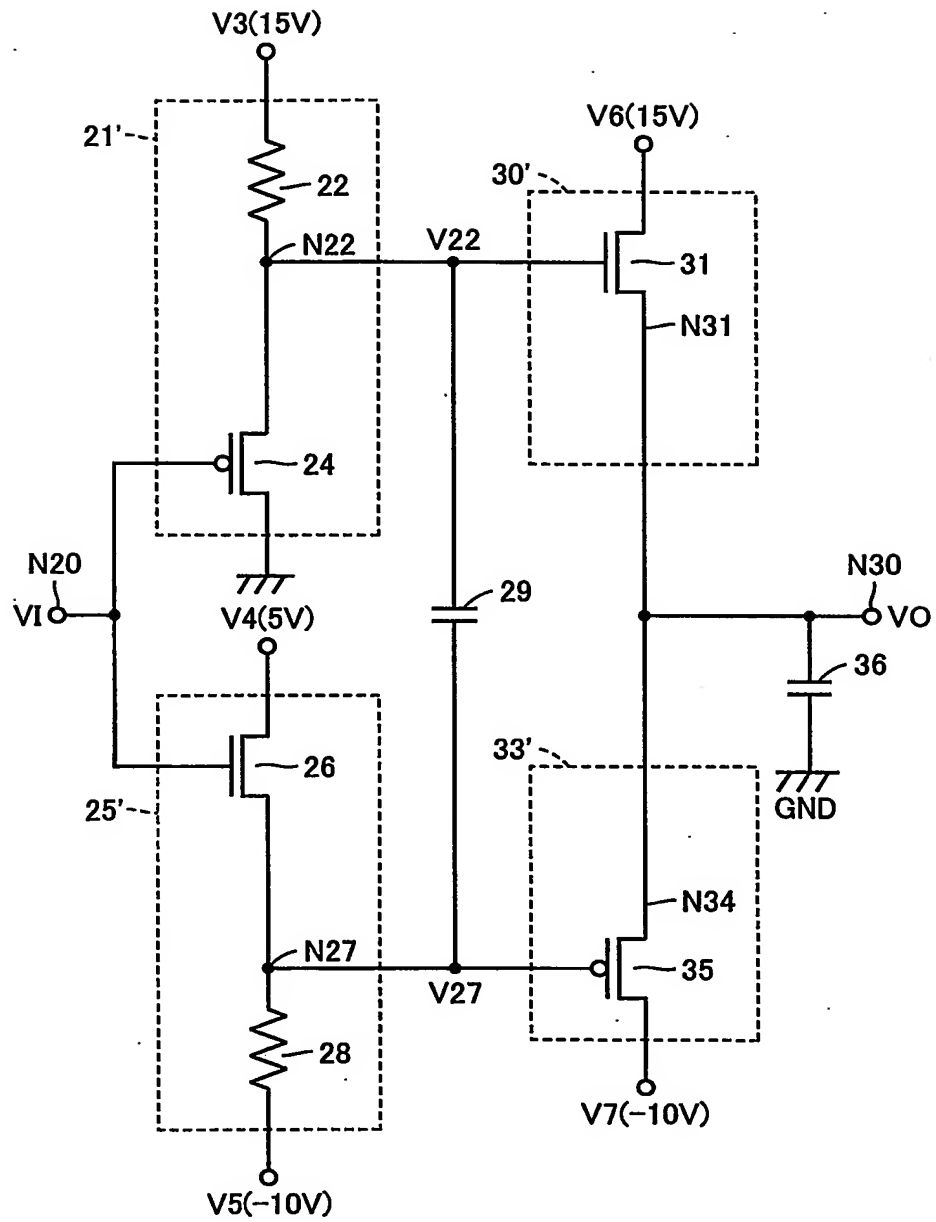
41

FIG.9

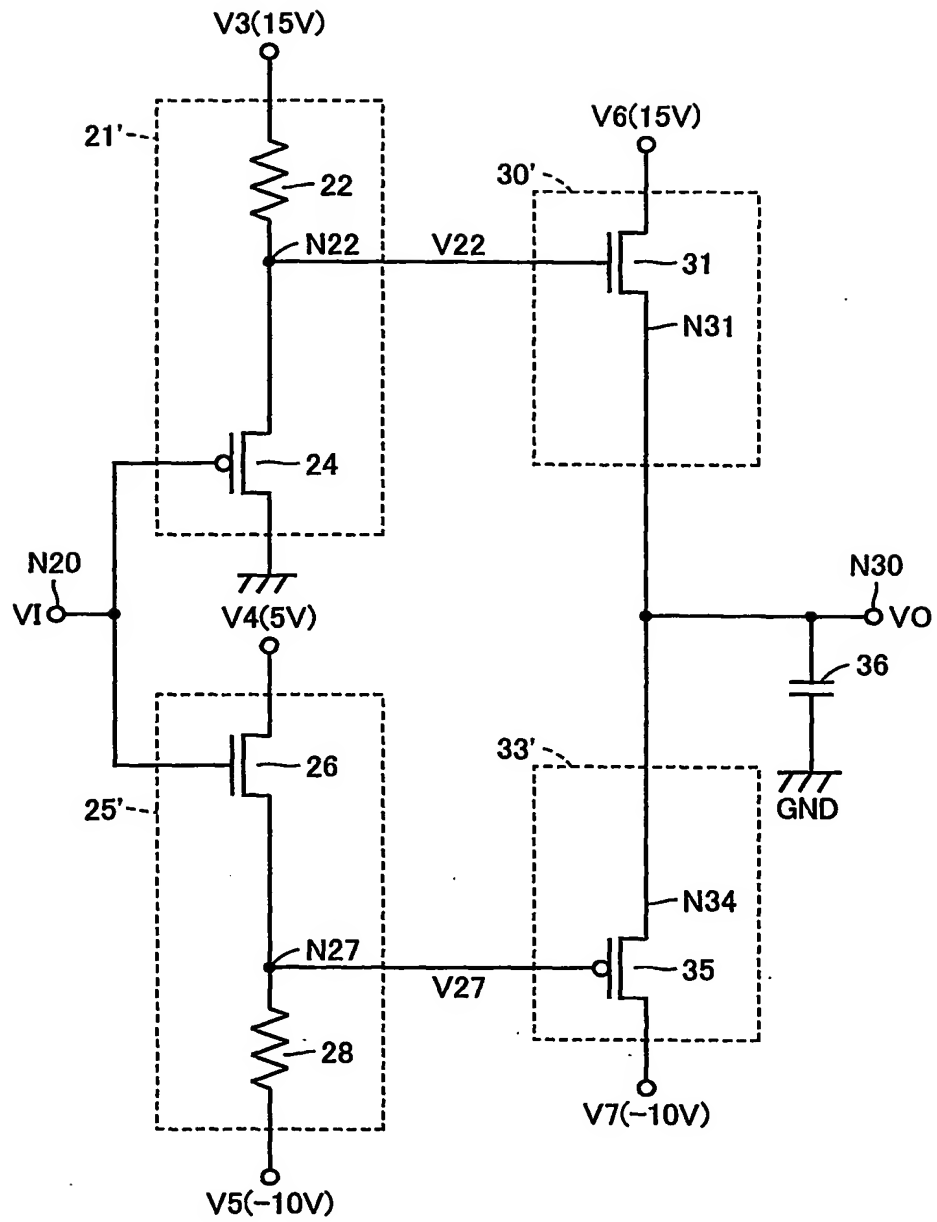
42

FIG.11

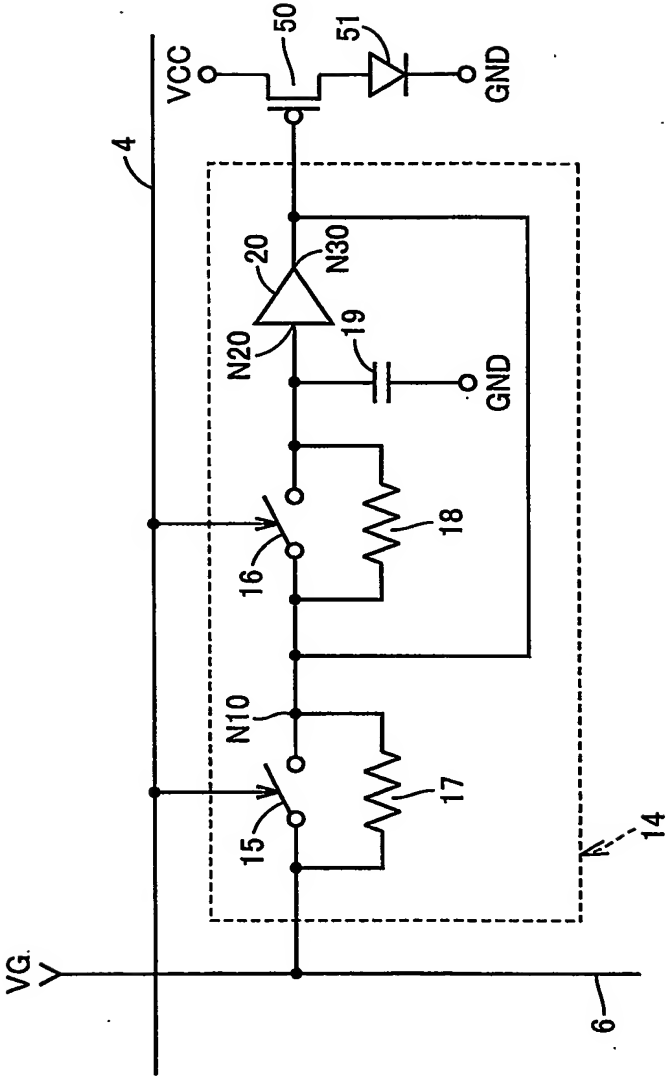


FIG.12

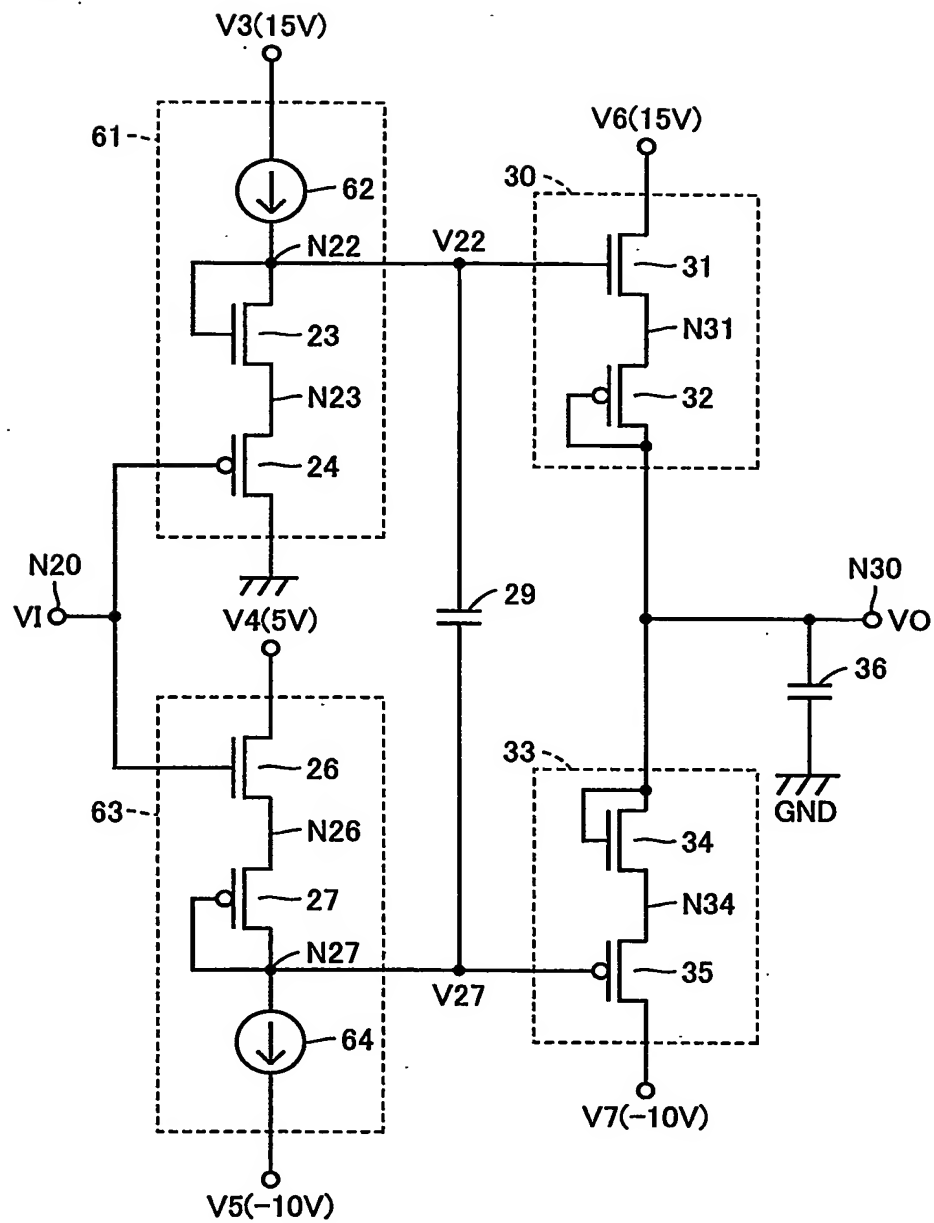
60

FIG.13

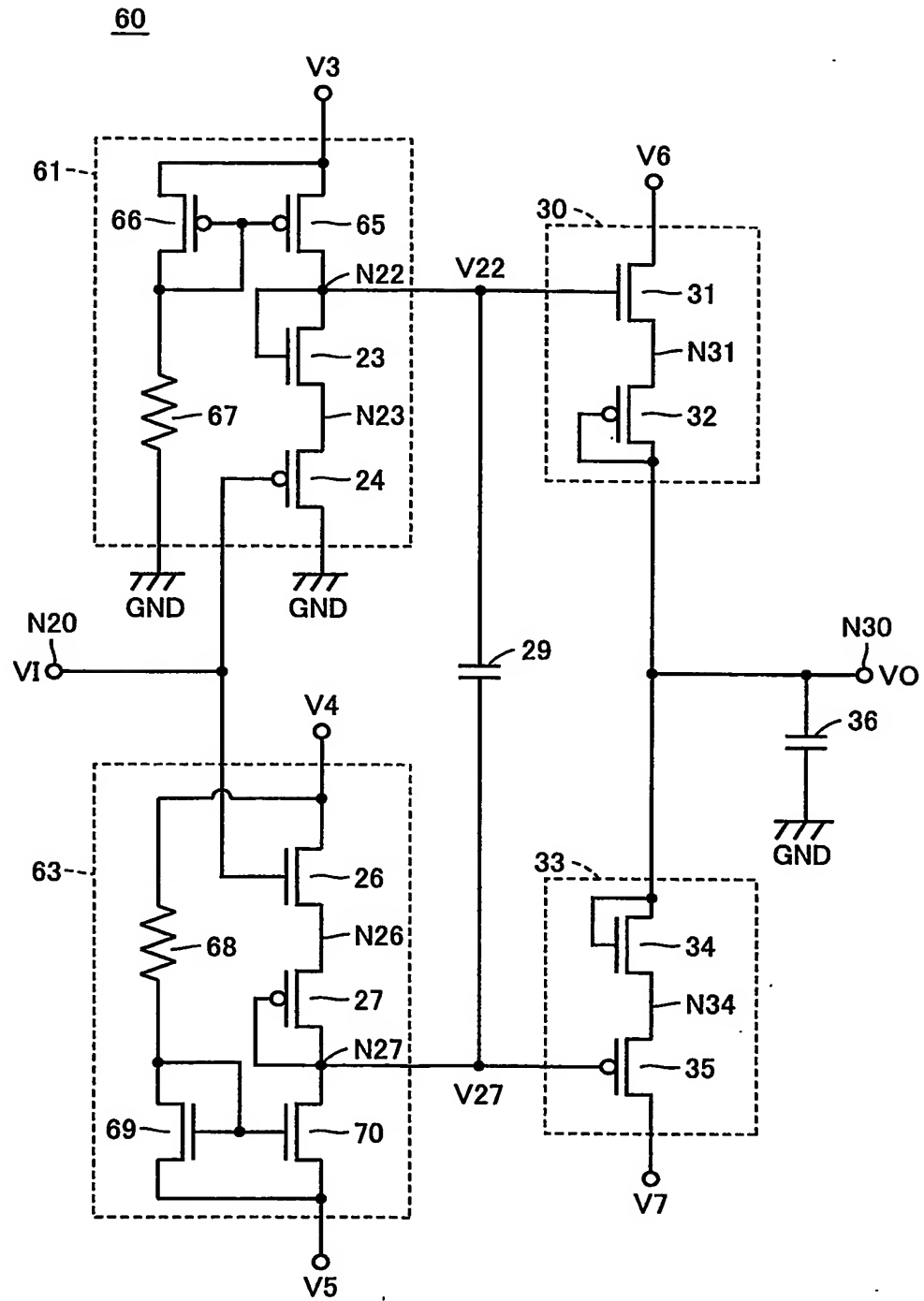


FIG.14

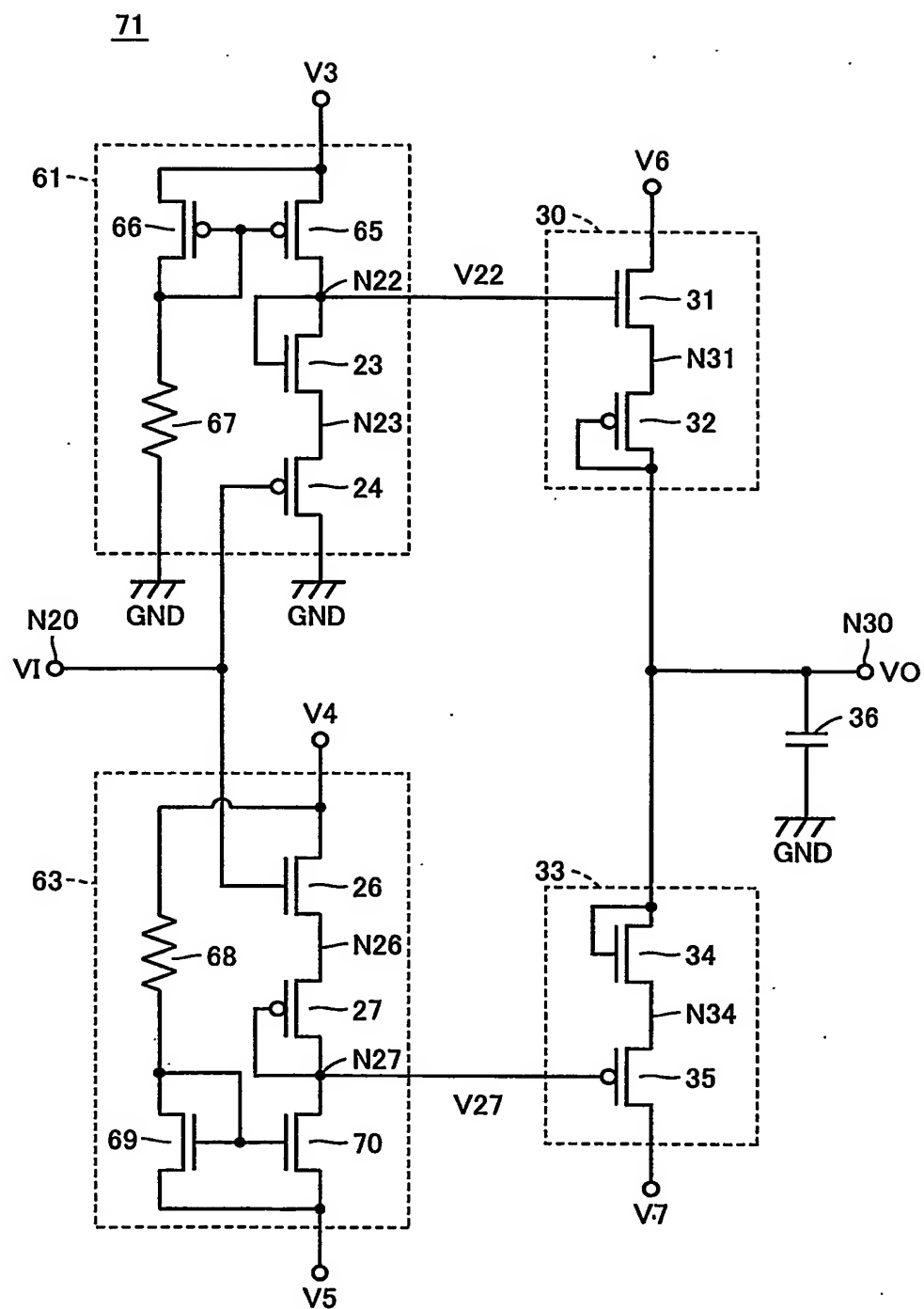


FIG.15

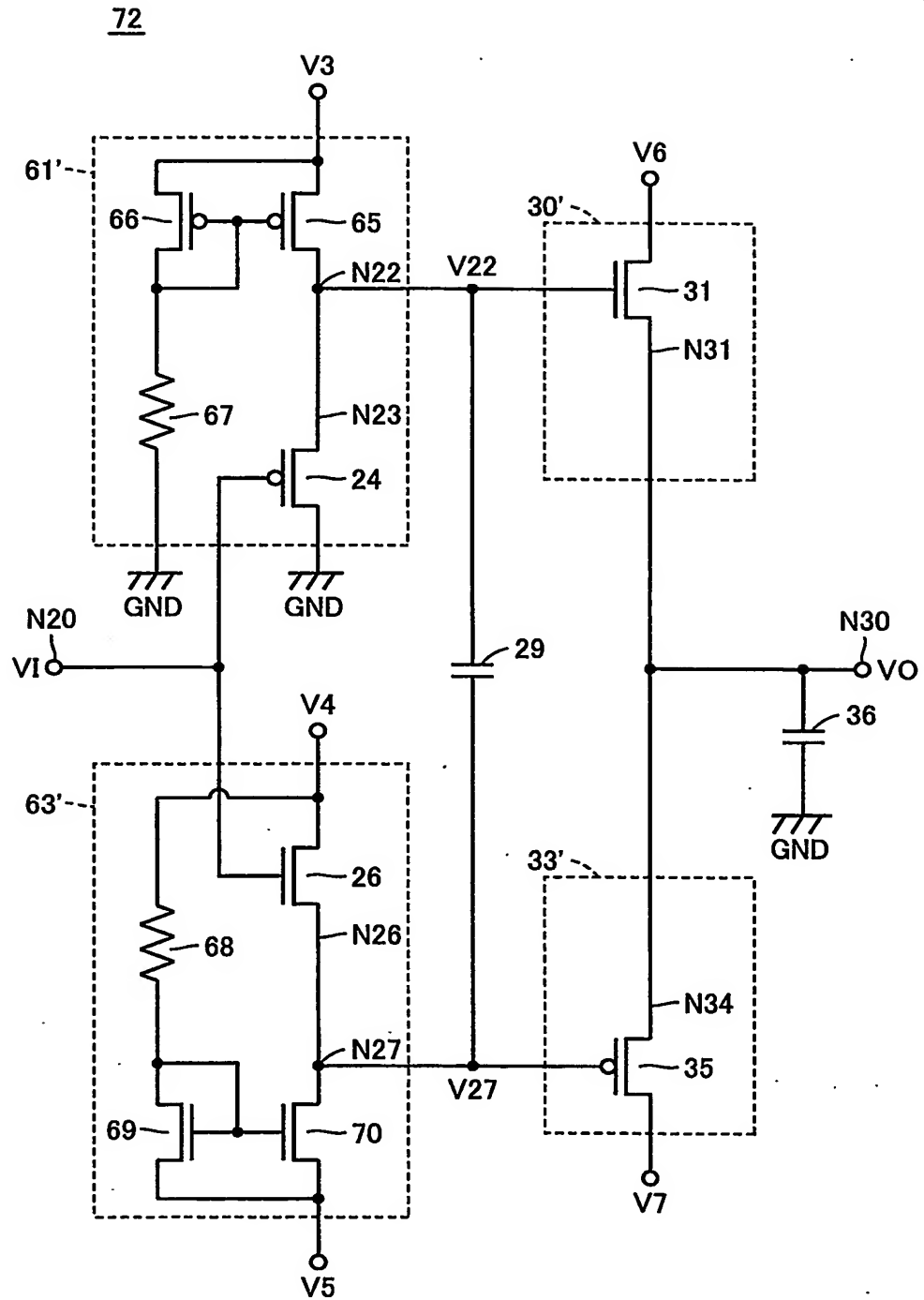


FIG.16

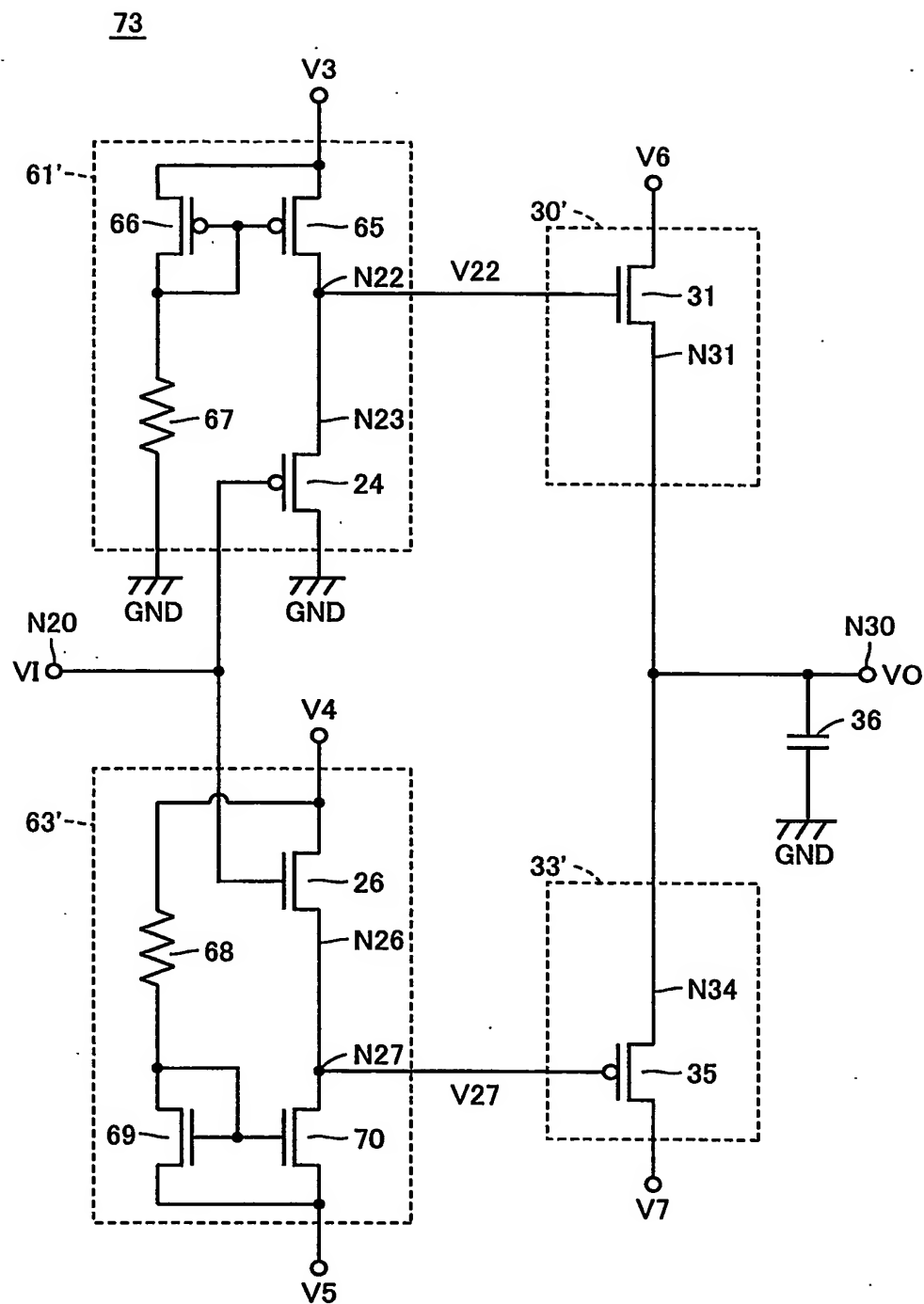


FIG.17

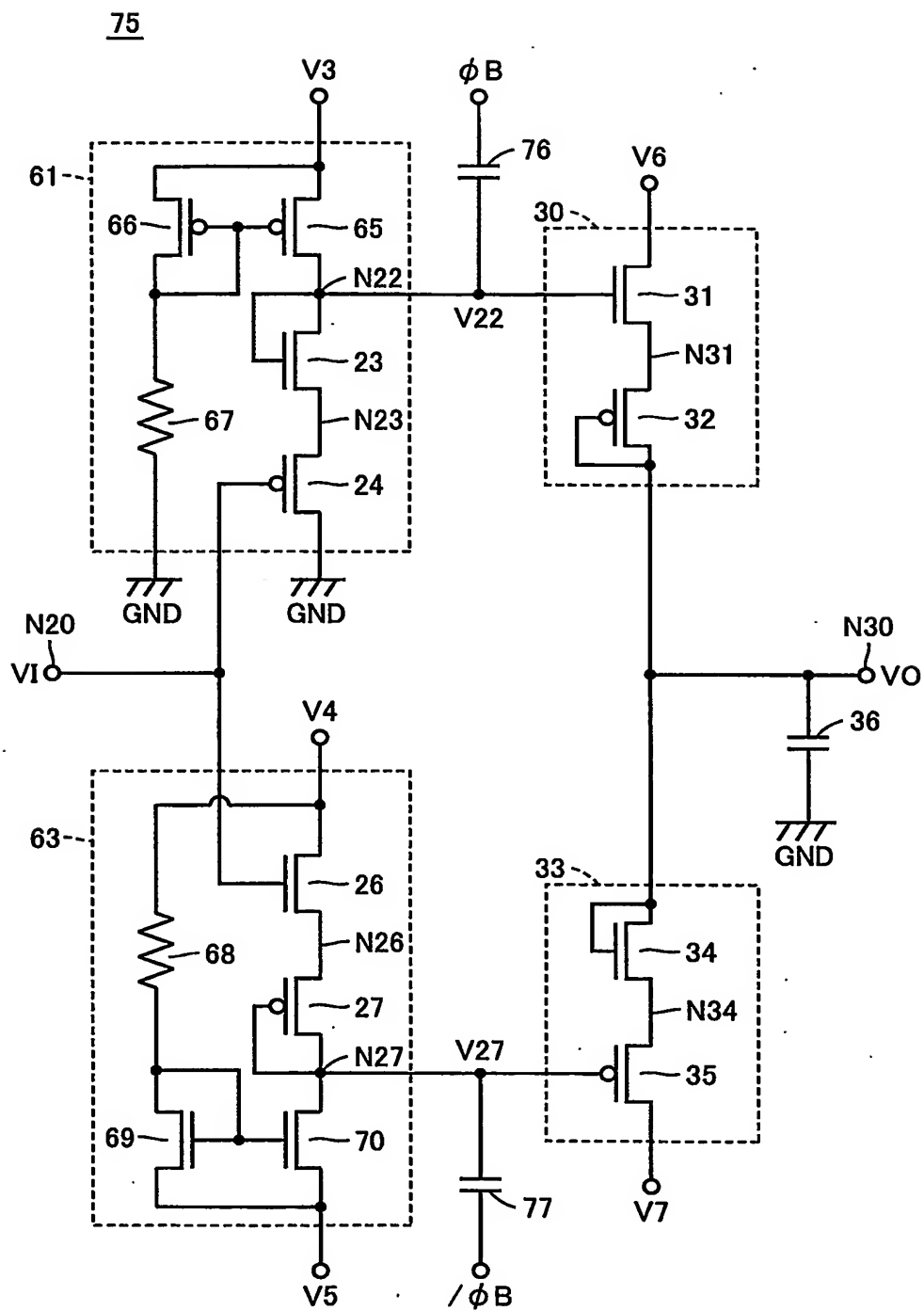


FIG.18

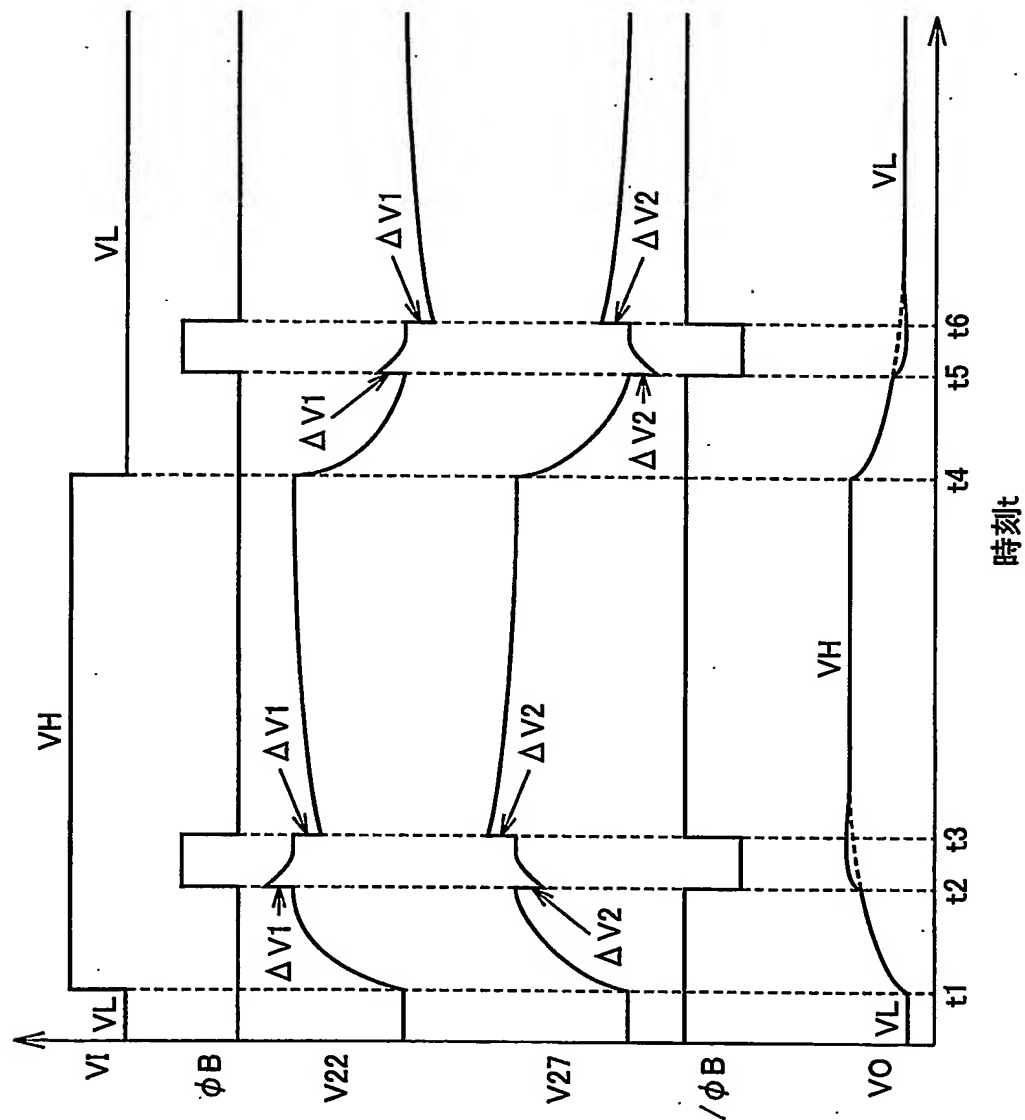


FIG.19

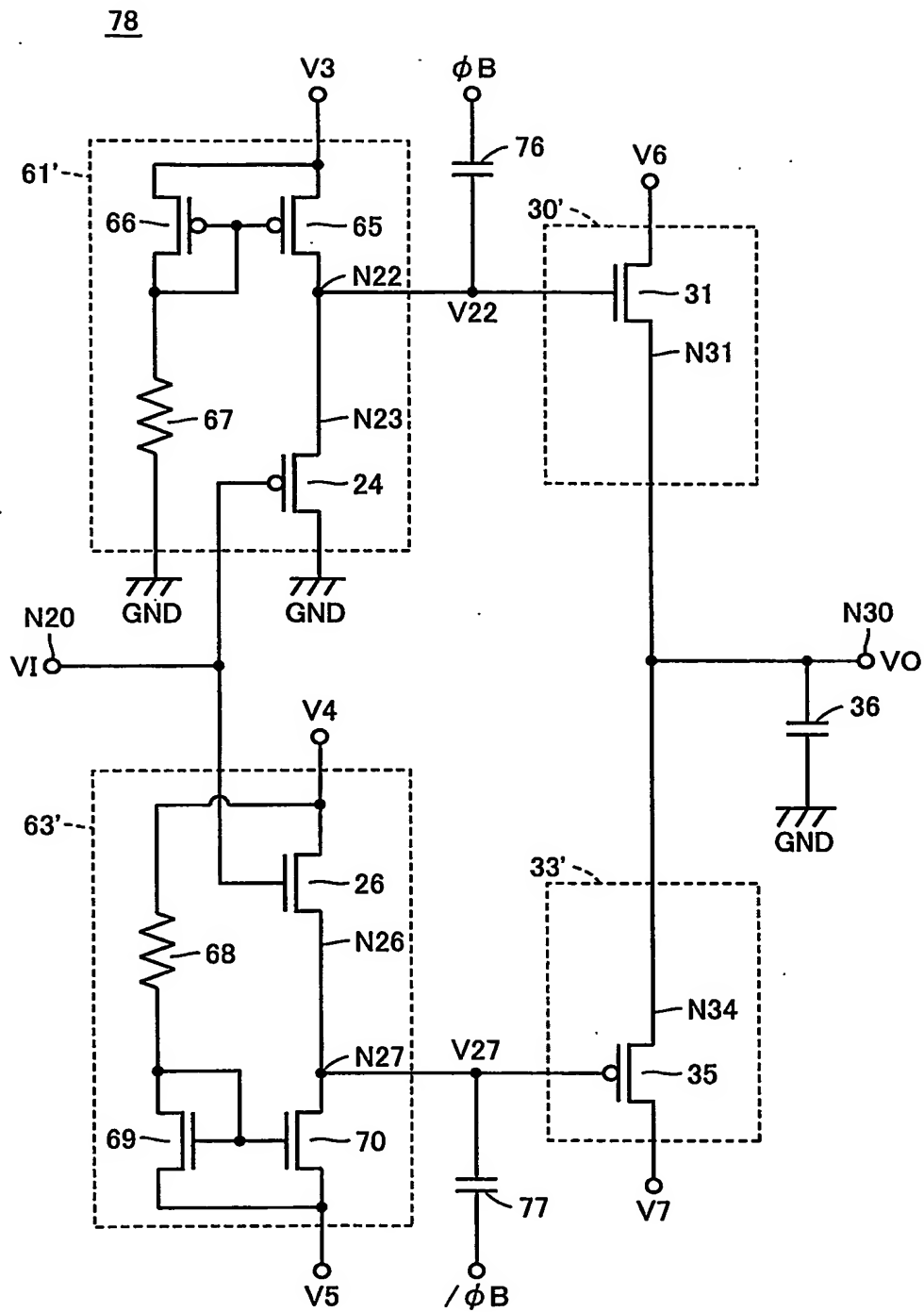


FIG.20

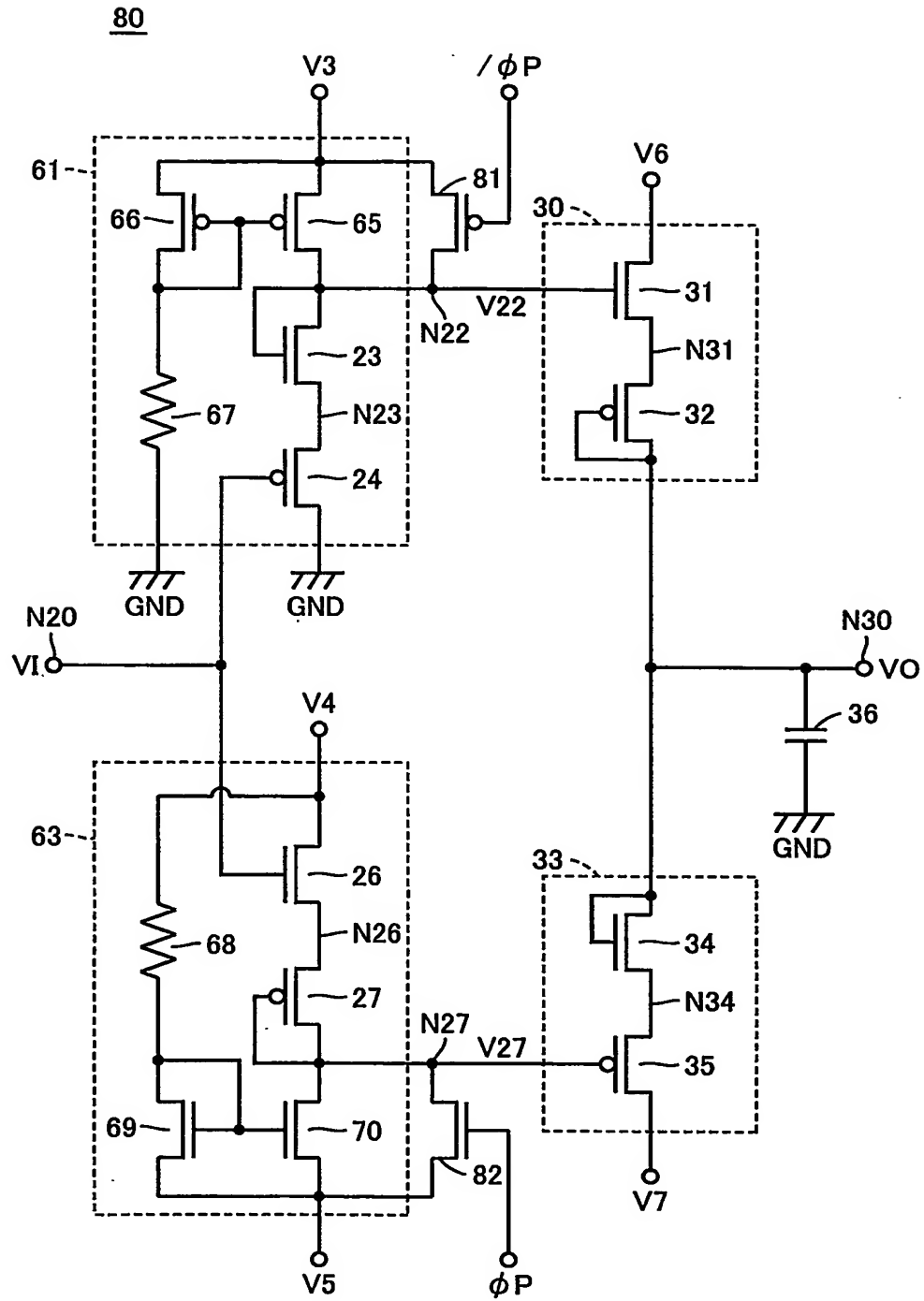


FIG.21

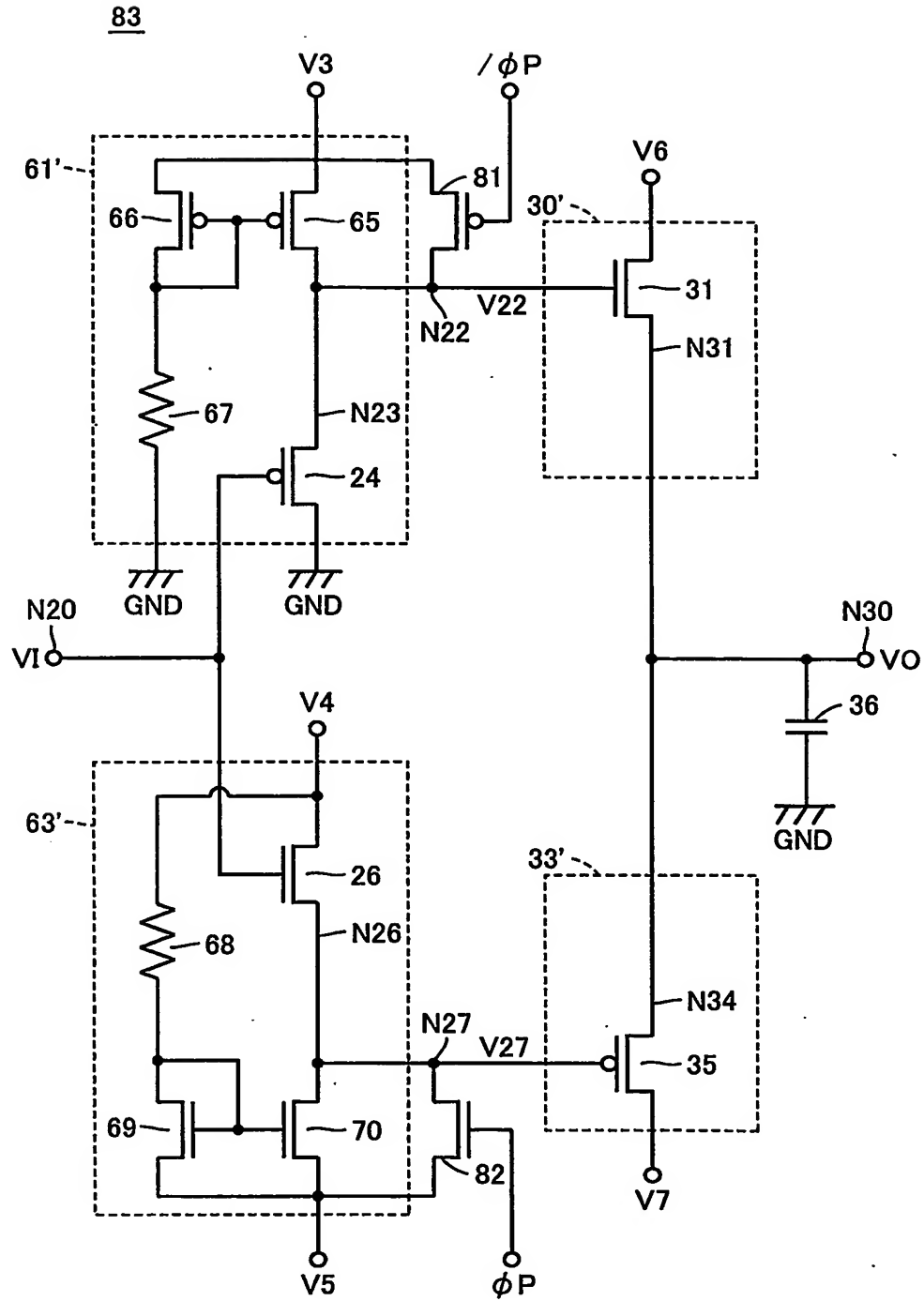


FIG.22

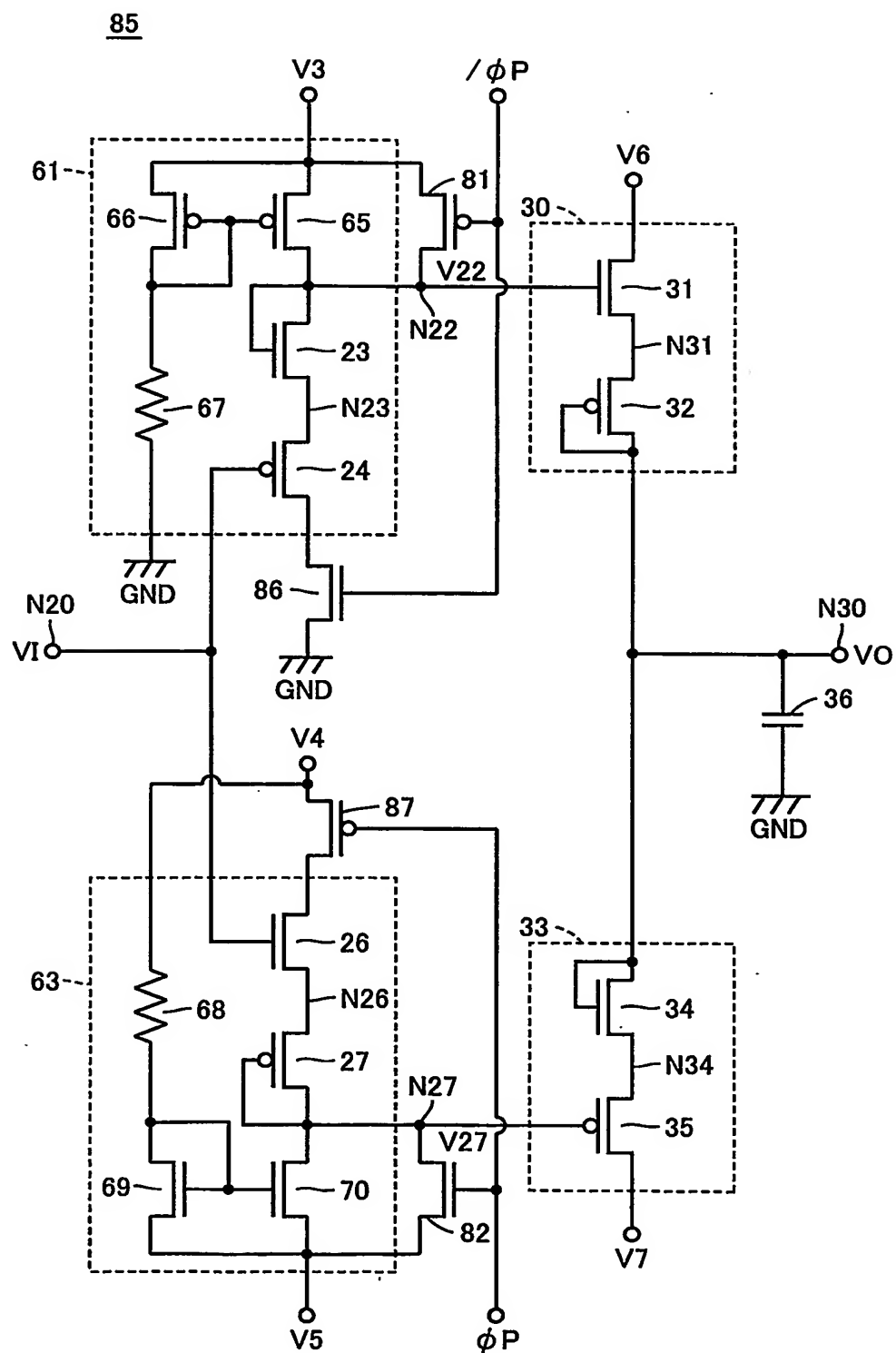


FIG.23

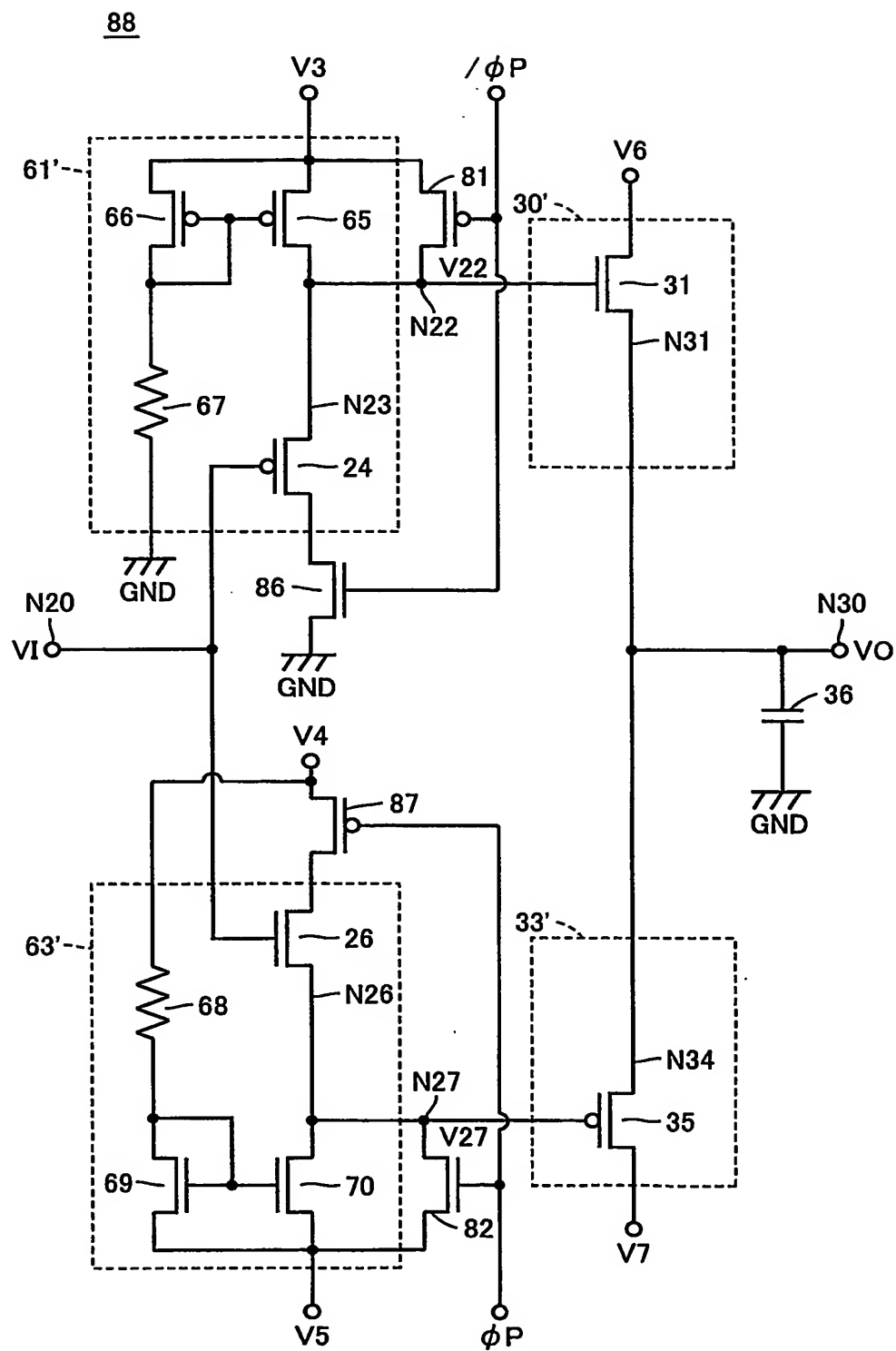


FIG.24

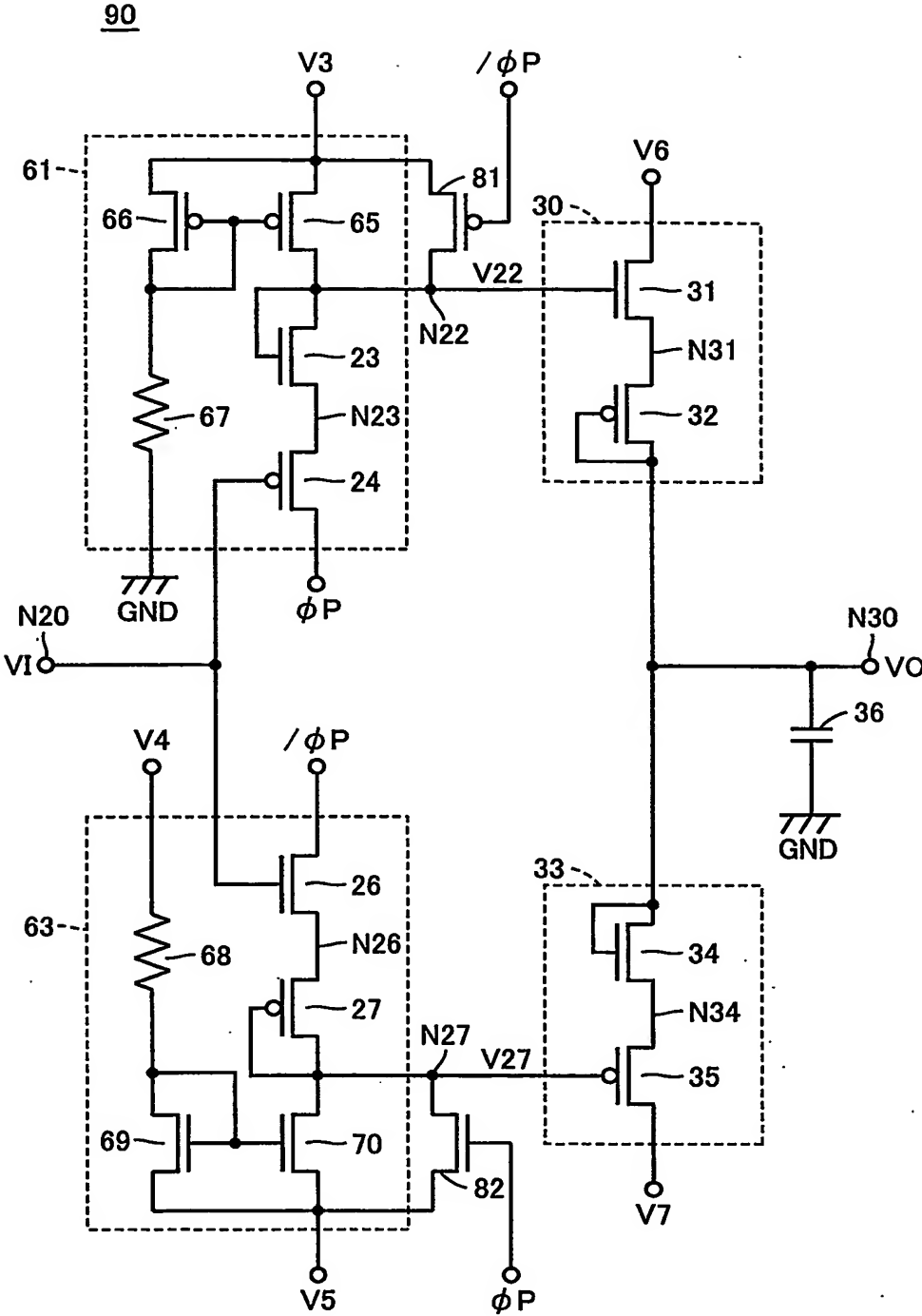


FIG.25

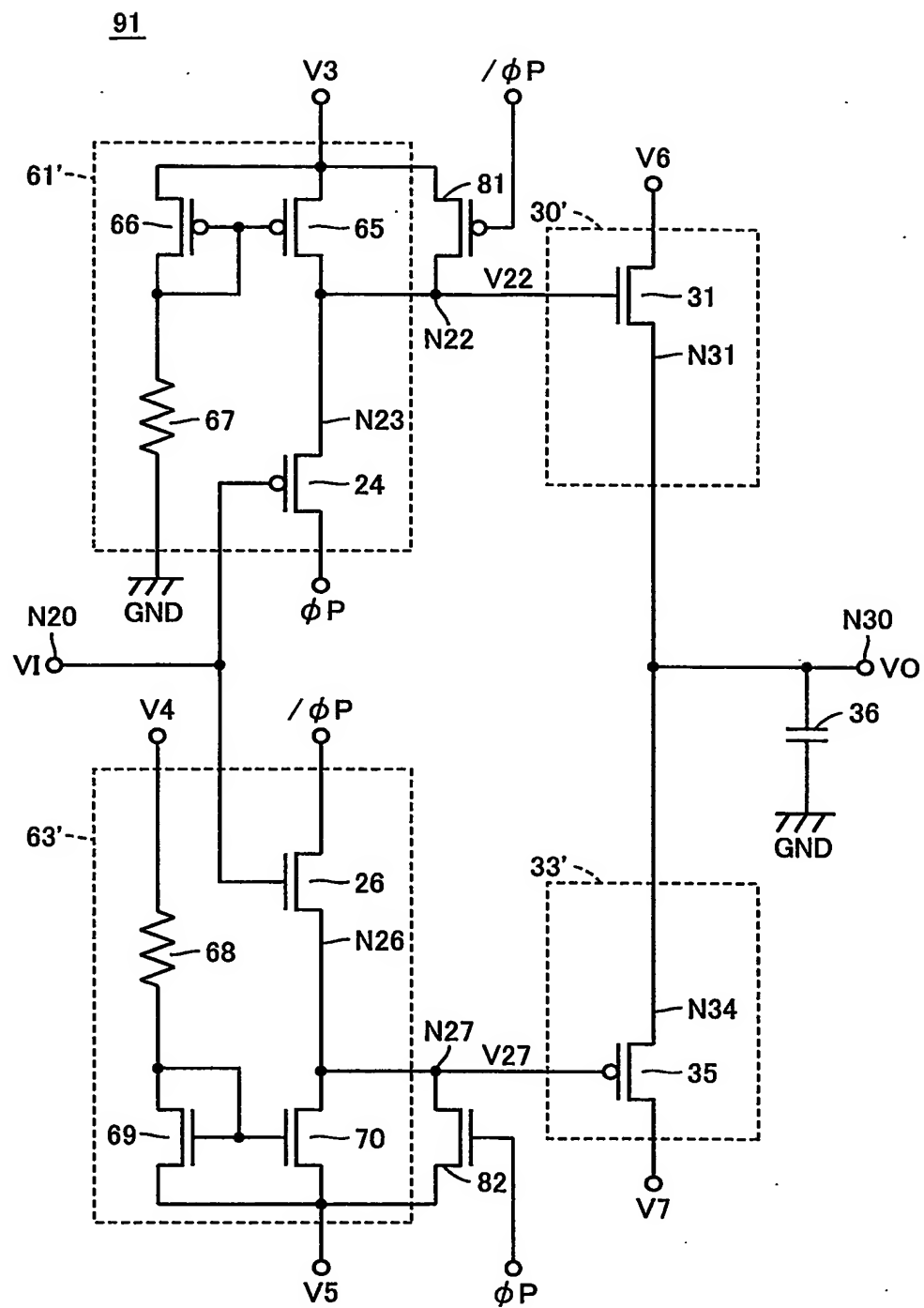


FIG.26

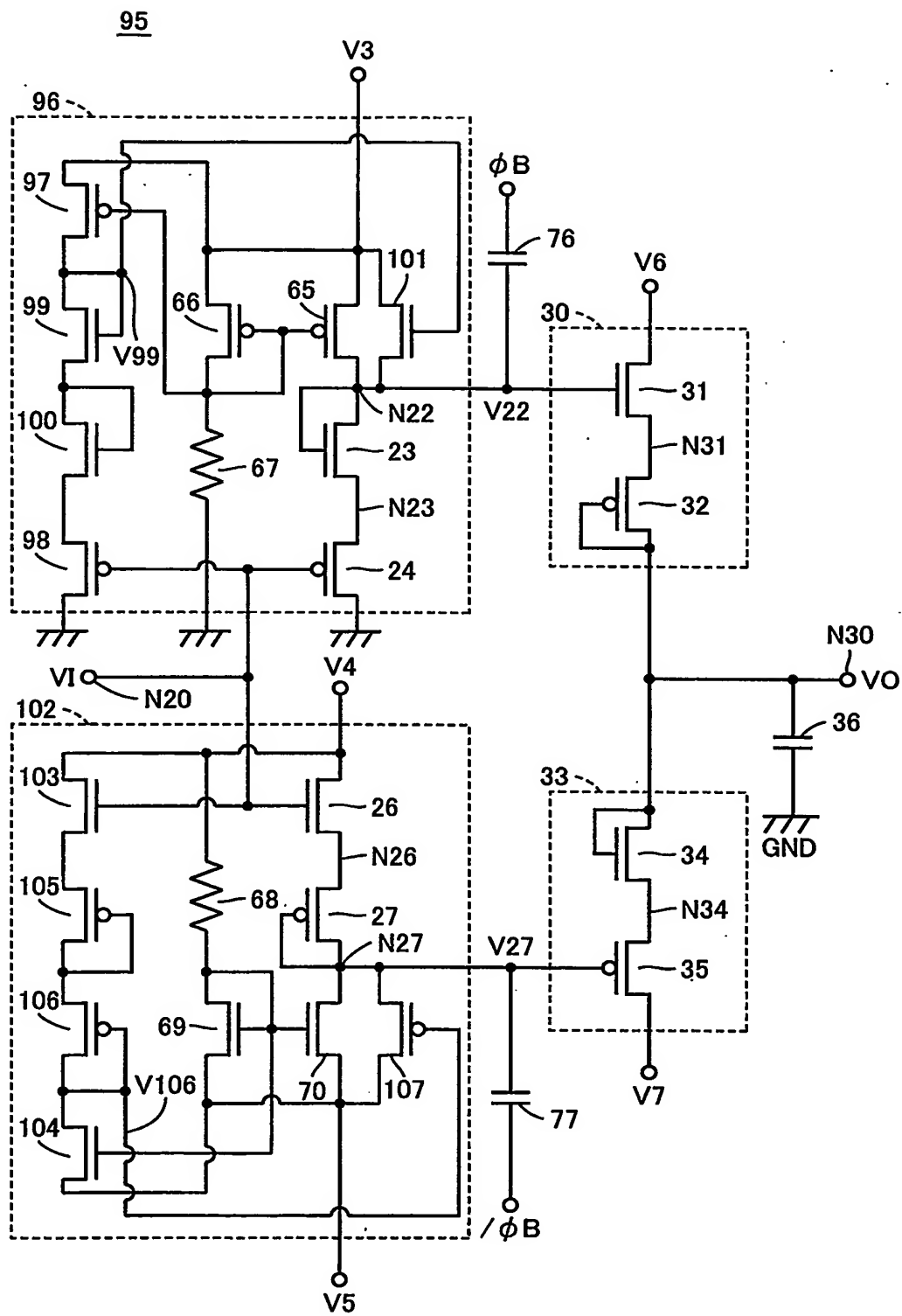


FIG.27

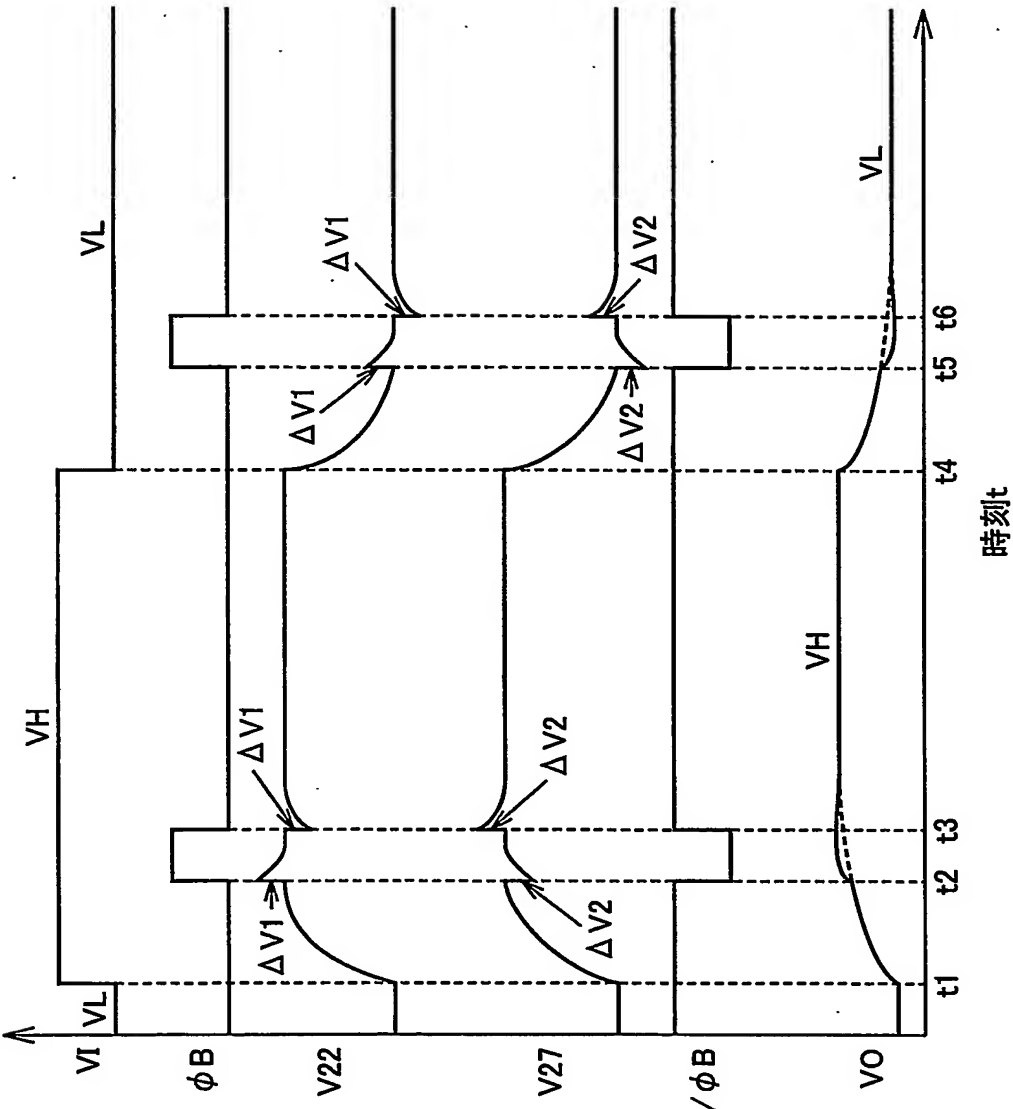


FIG.28

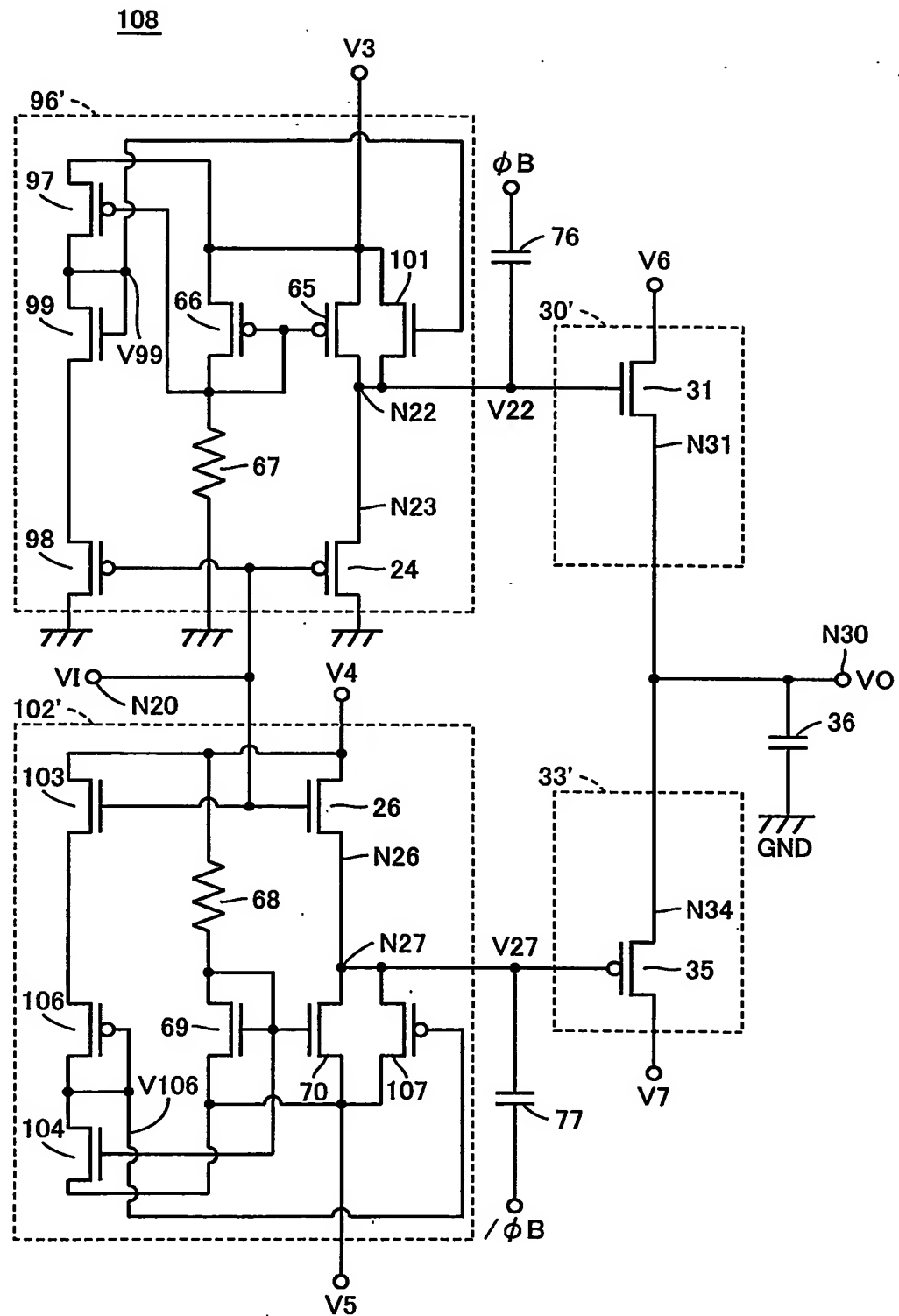


FIG.29

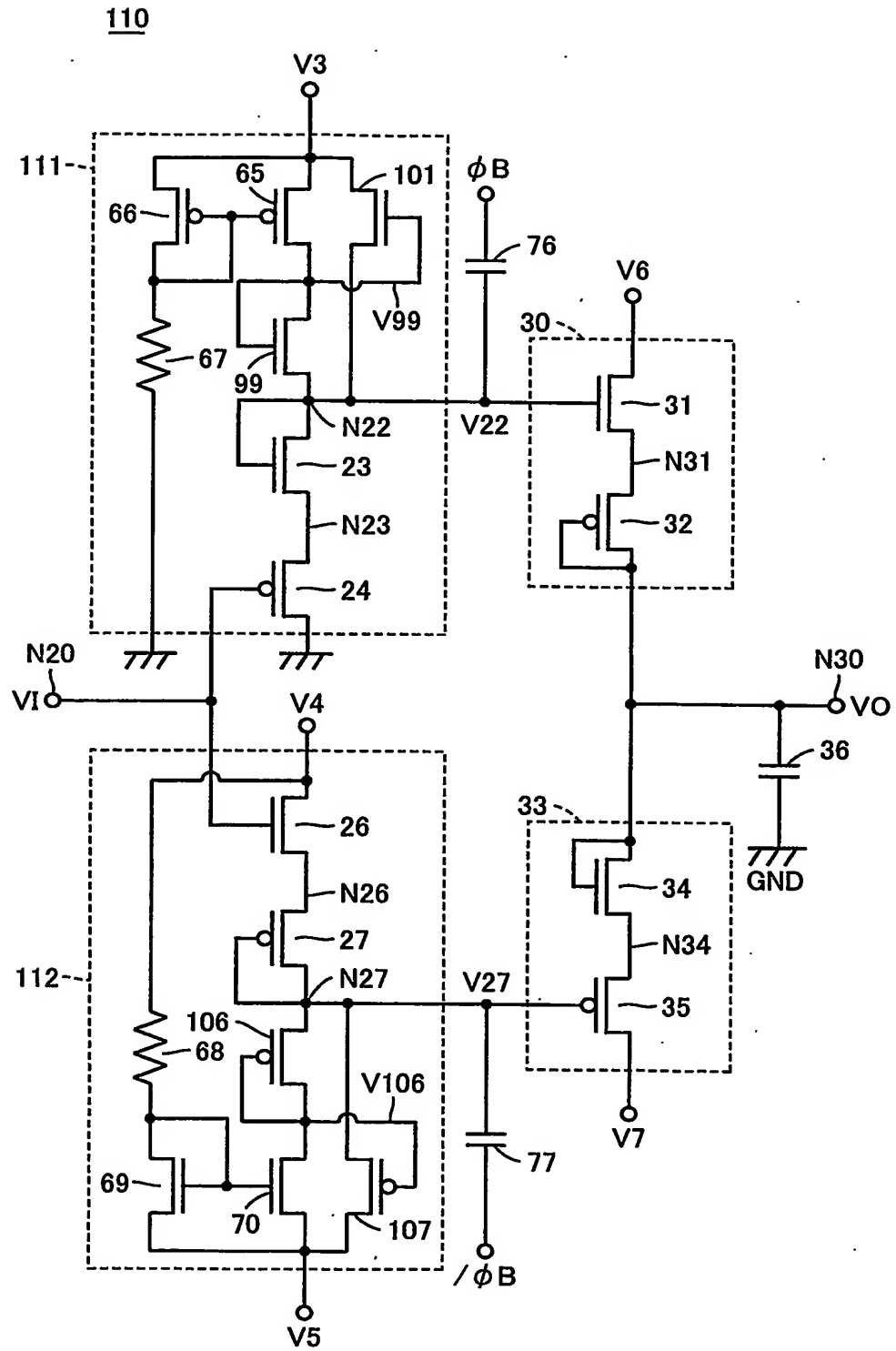


FIG.30

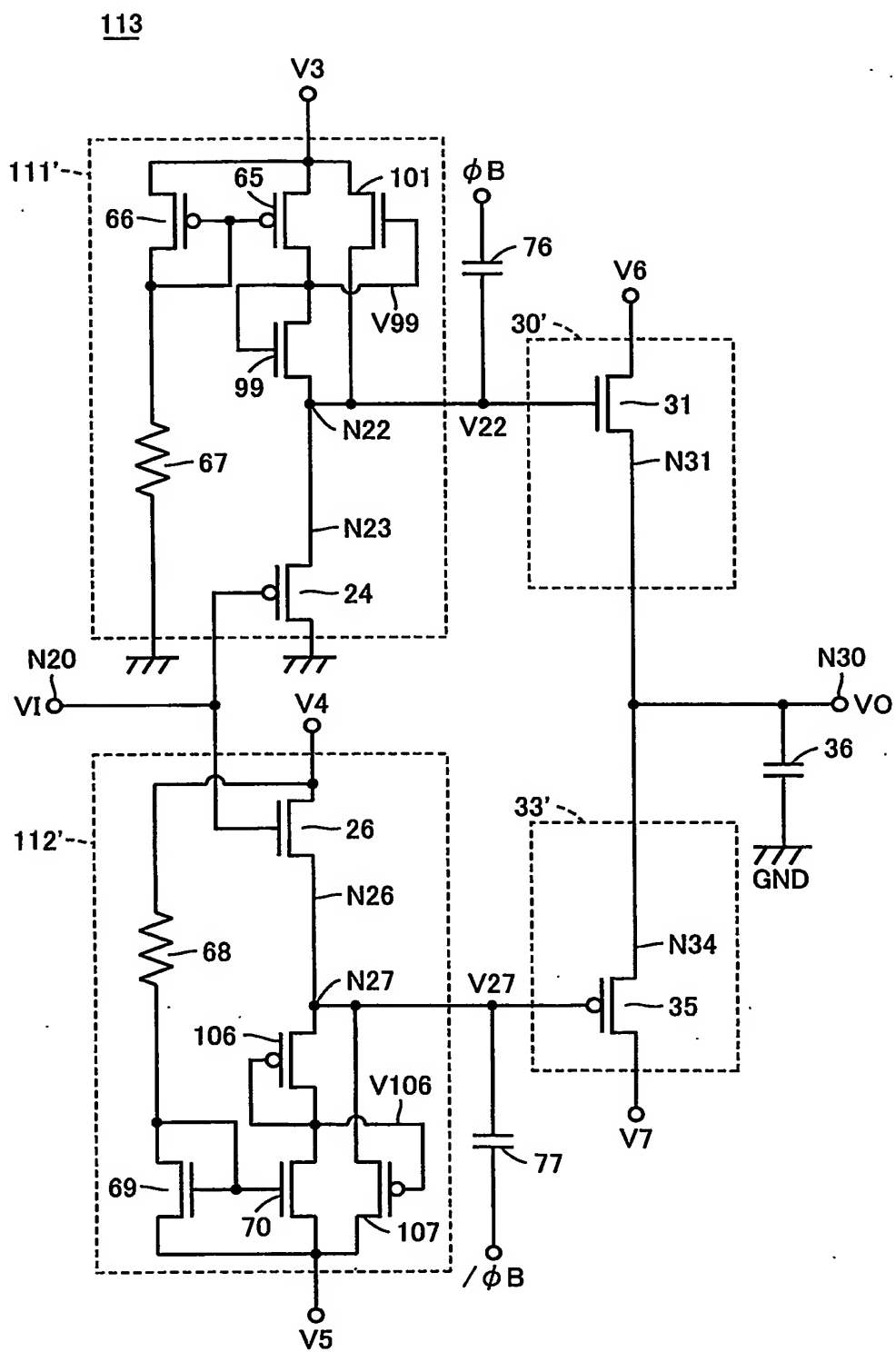


FIG.31

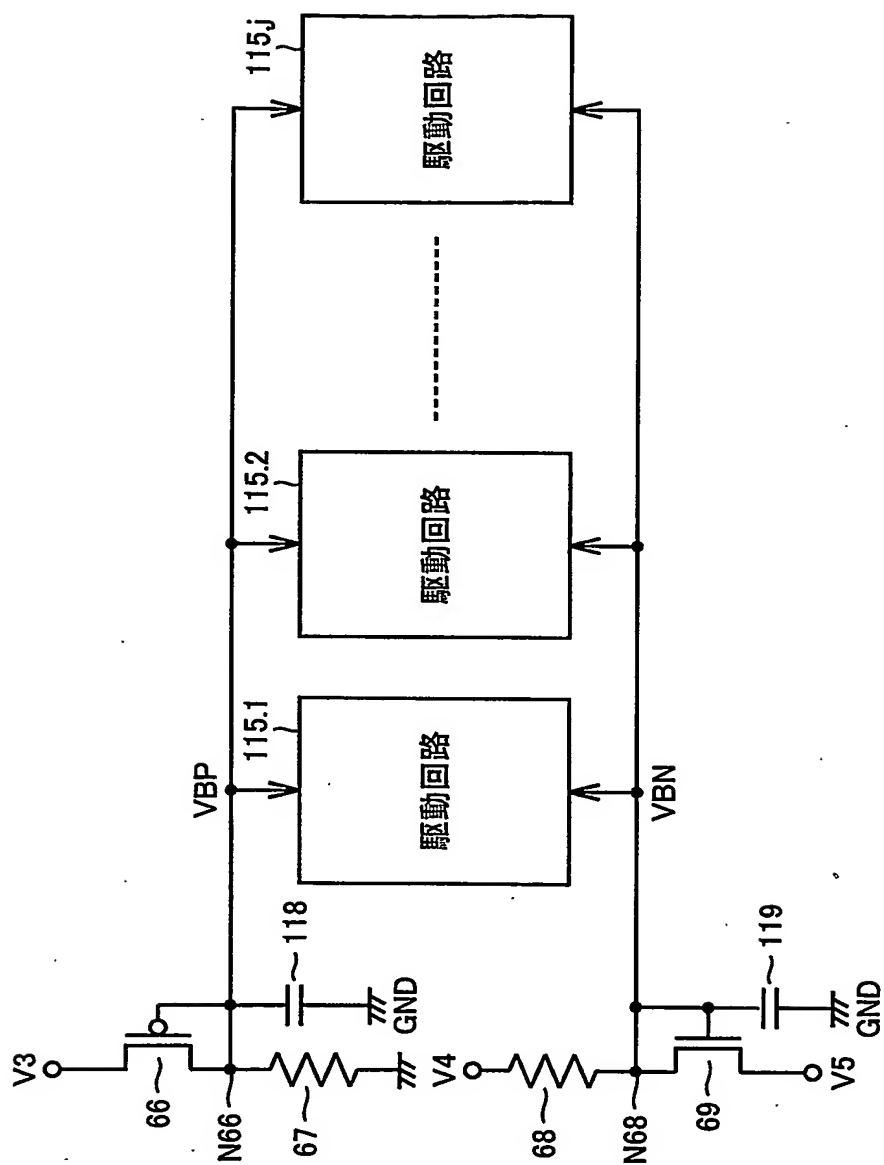


FIG.32

115.1

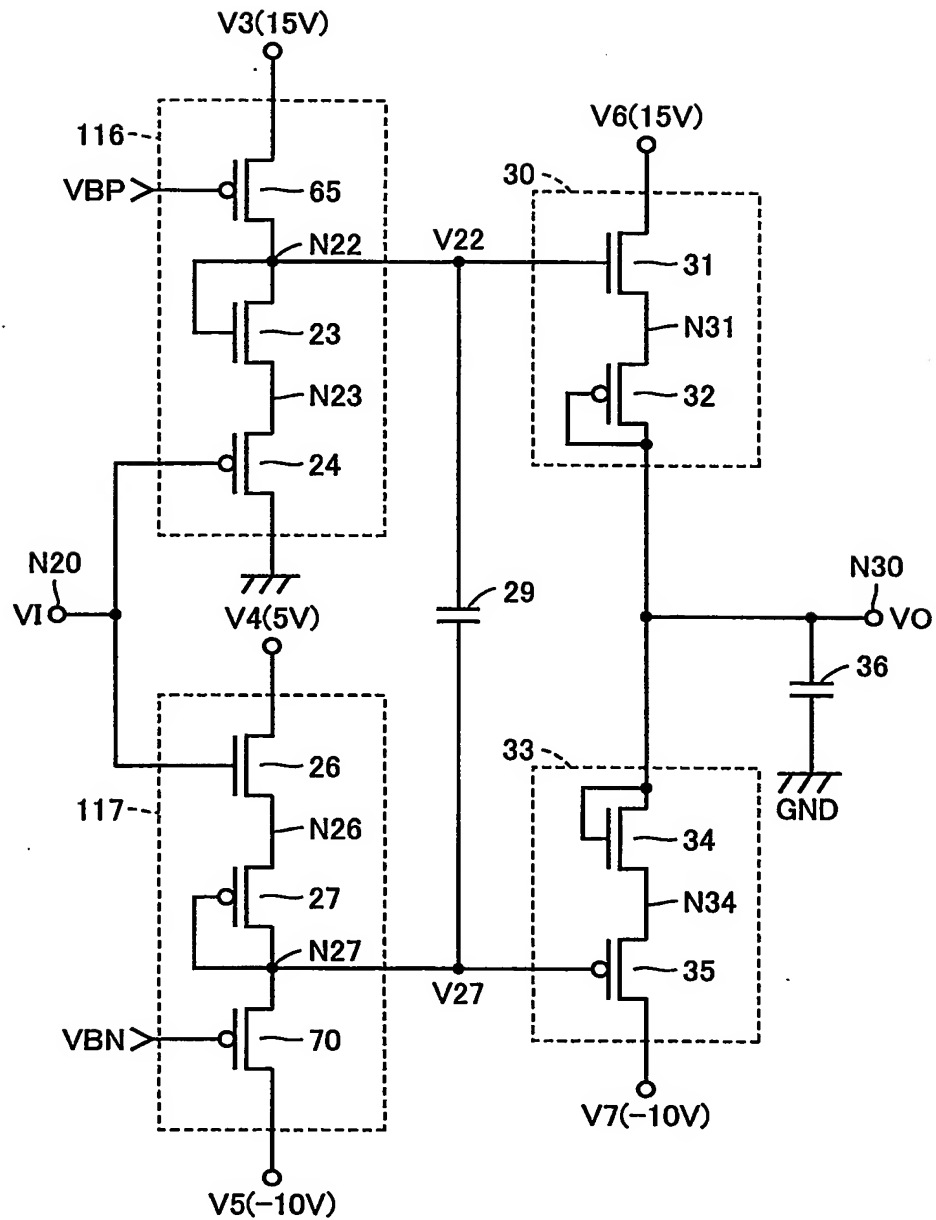


FIG.33

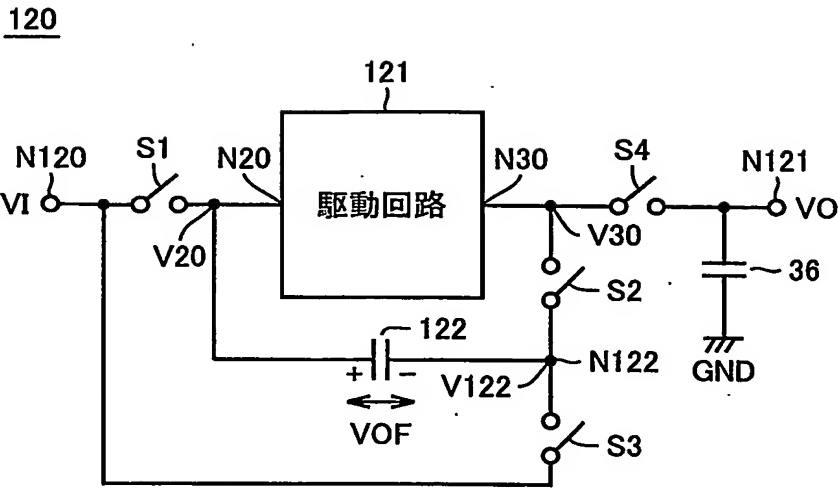


FIG.34

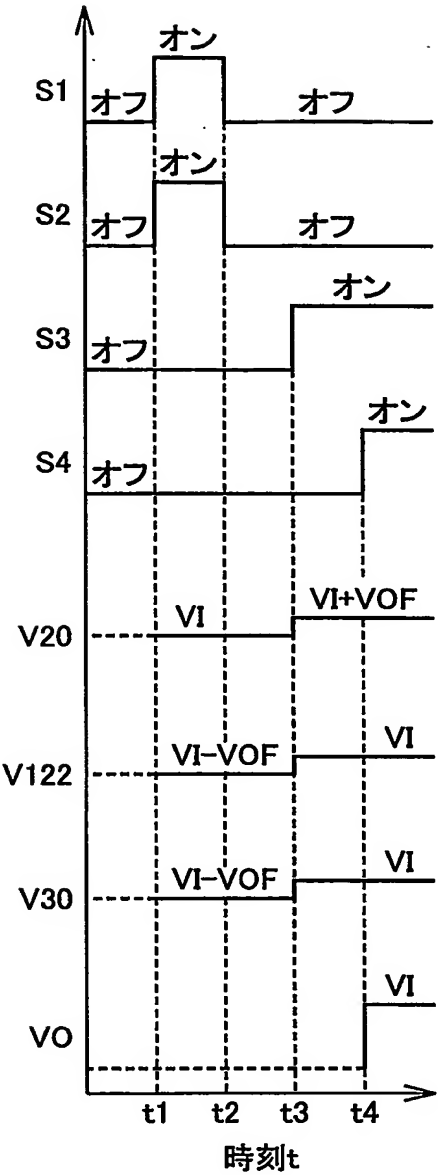


FIG.35

125

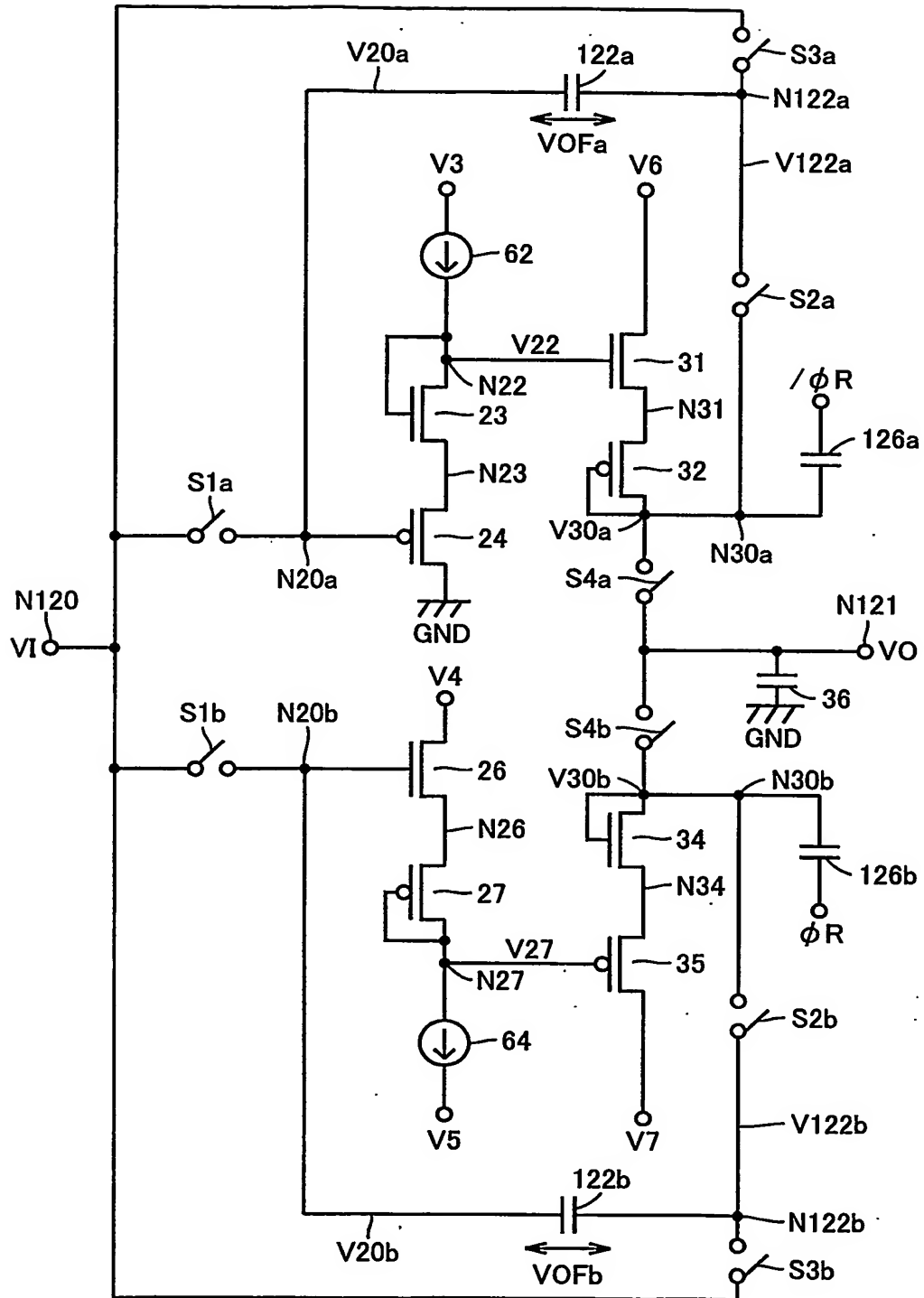


FIG.36

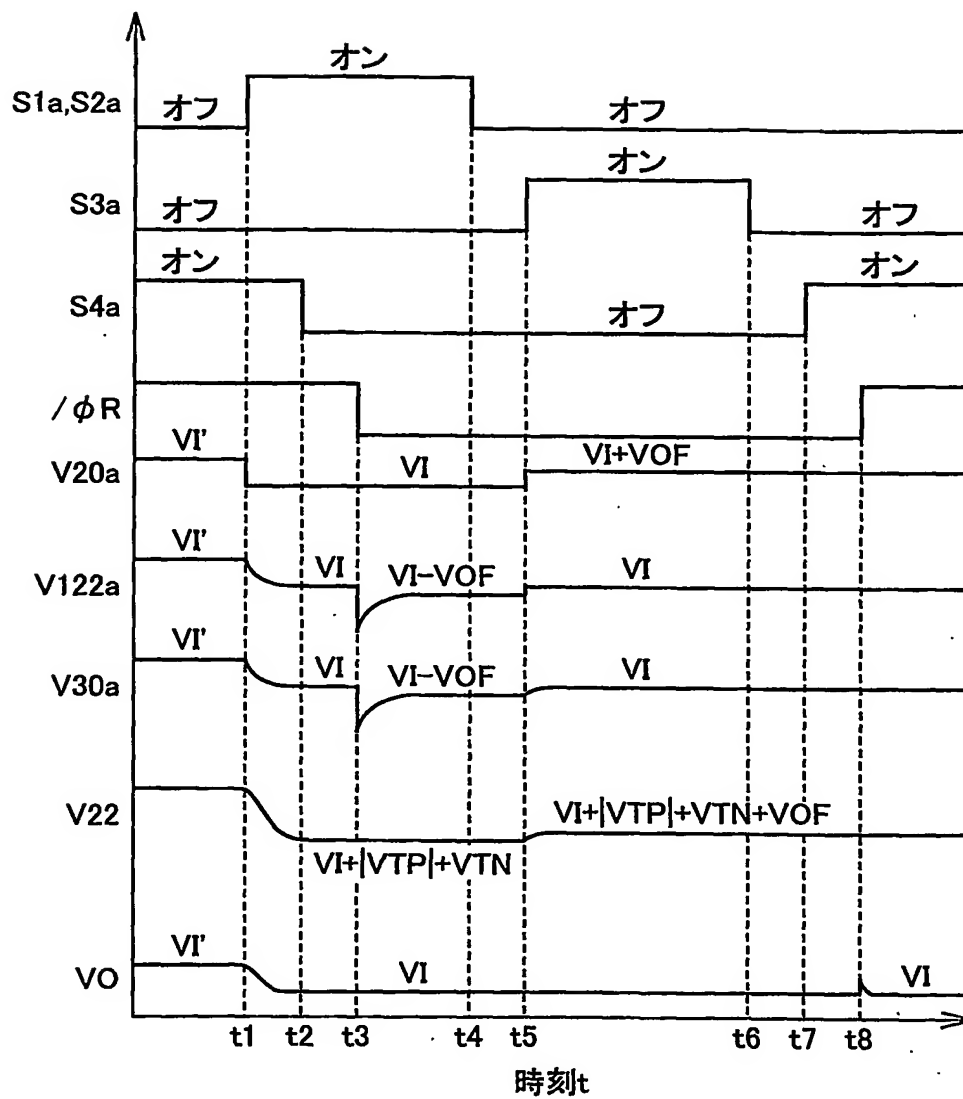


FIG.37

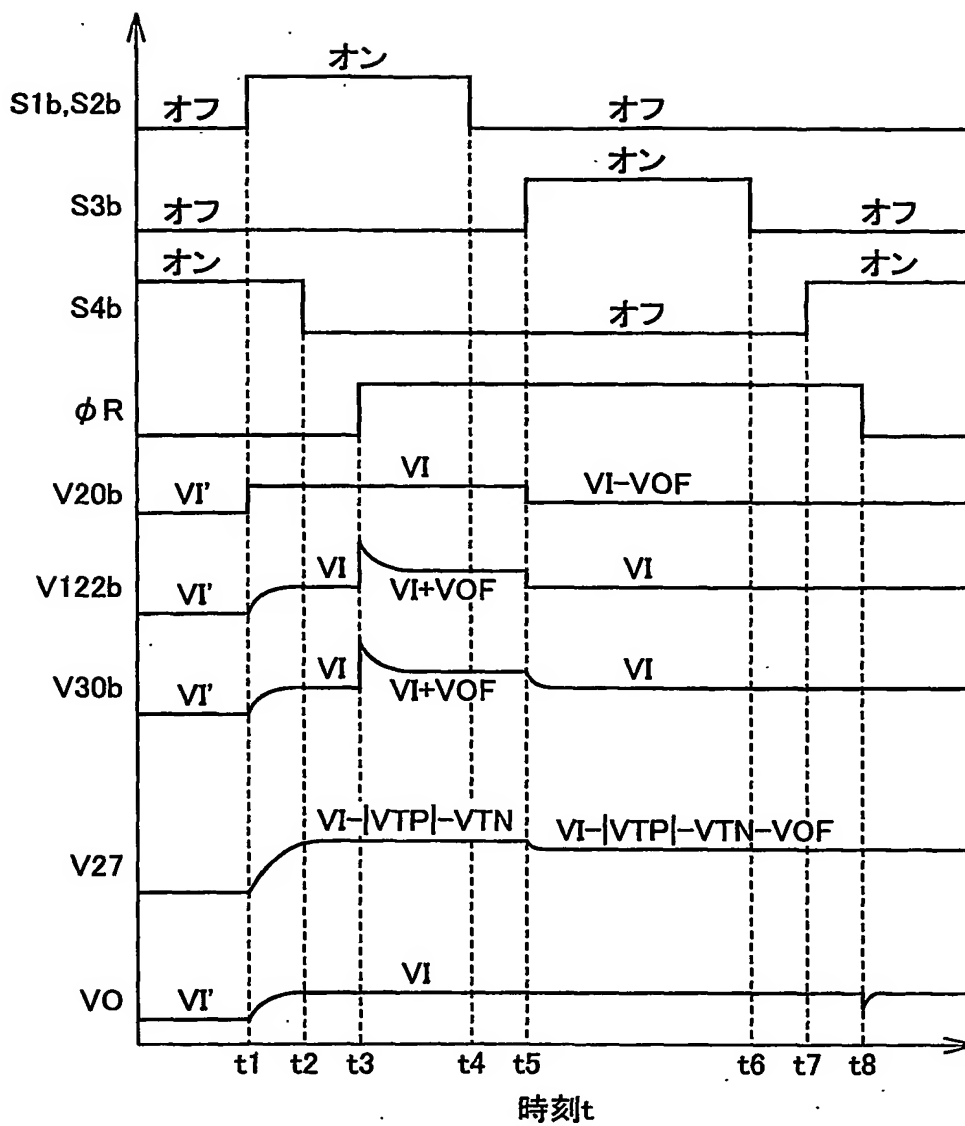


FIG.38

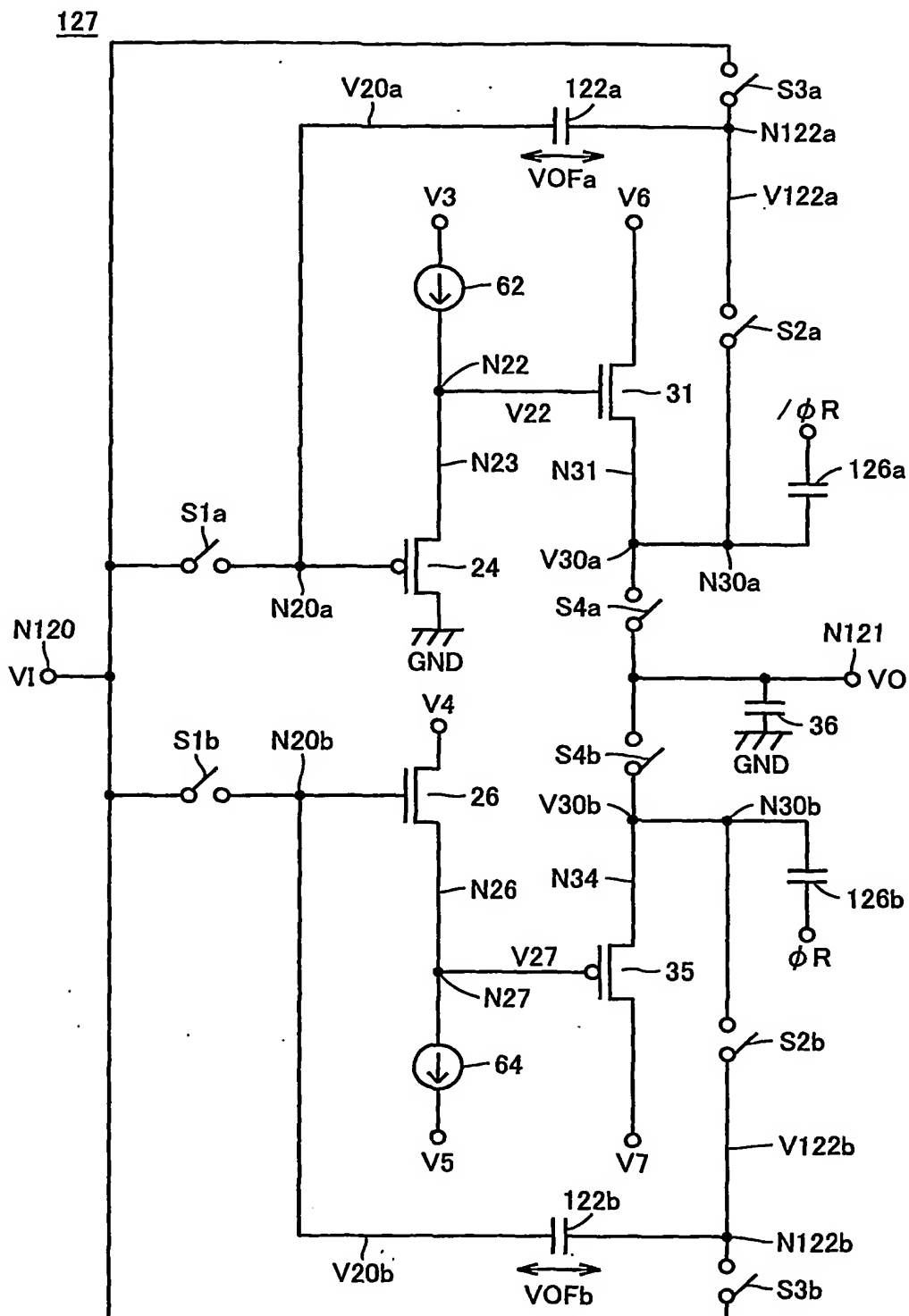


FIG.39

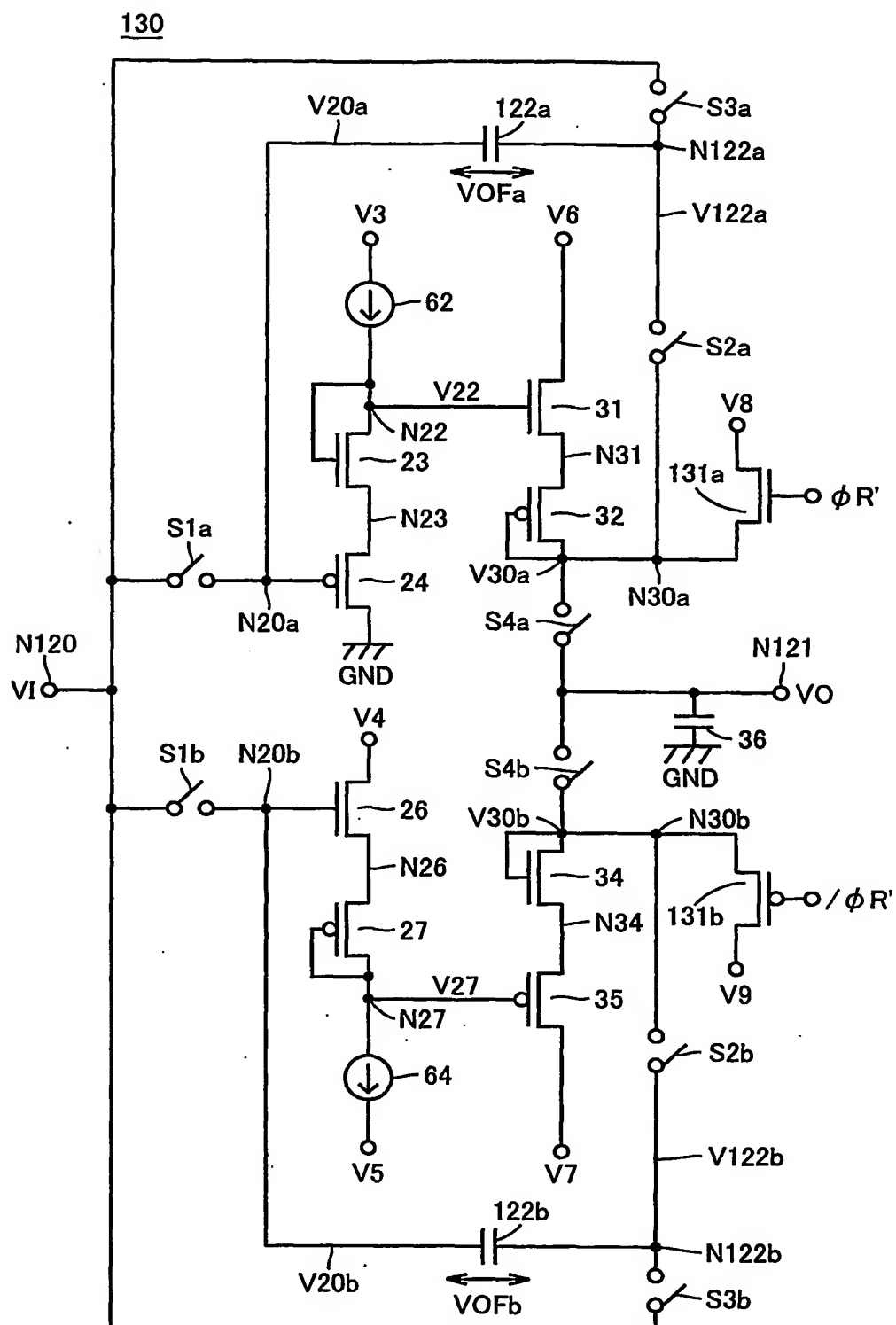


FIG.40

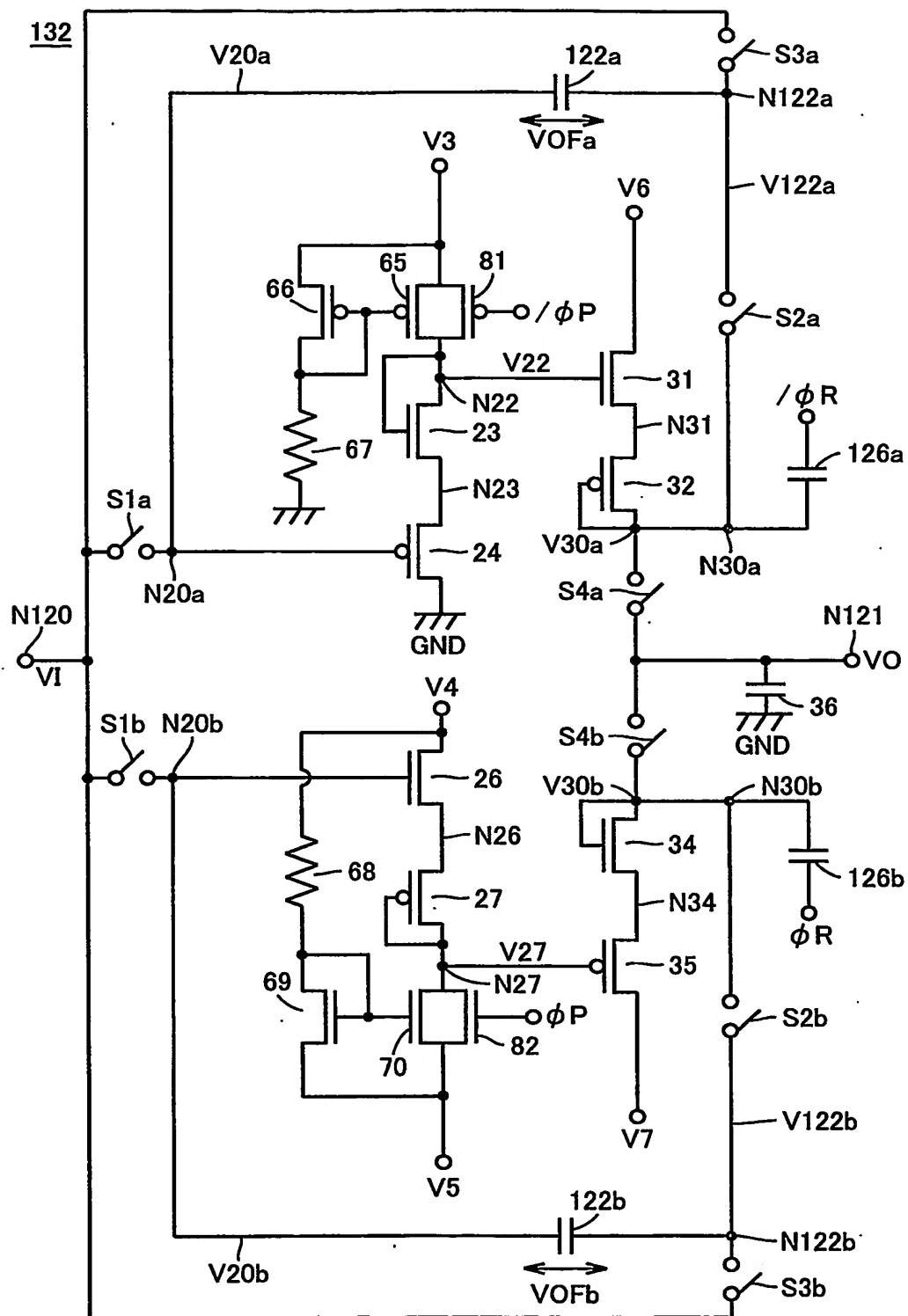


FIG.41

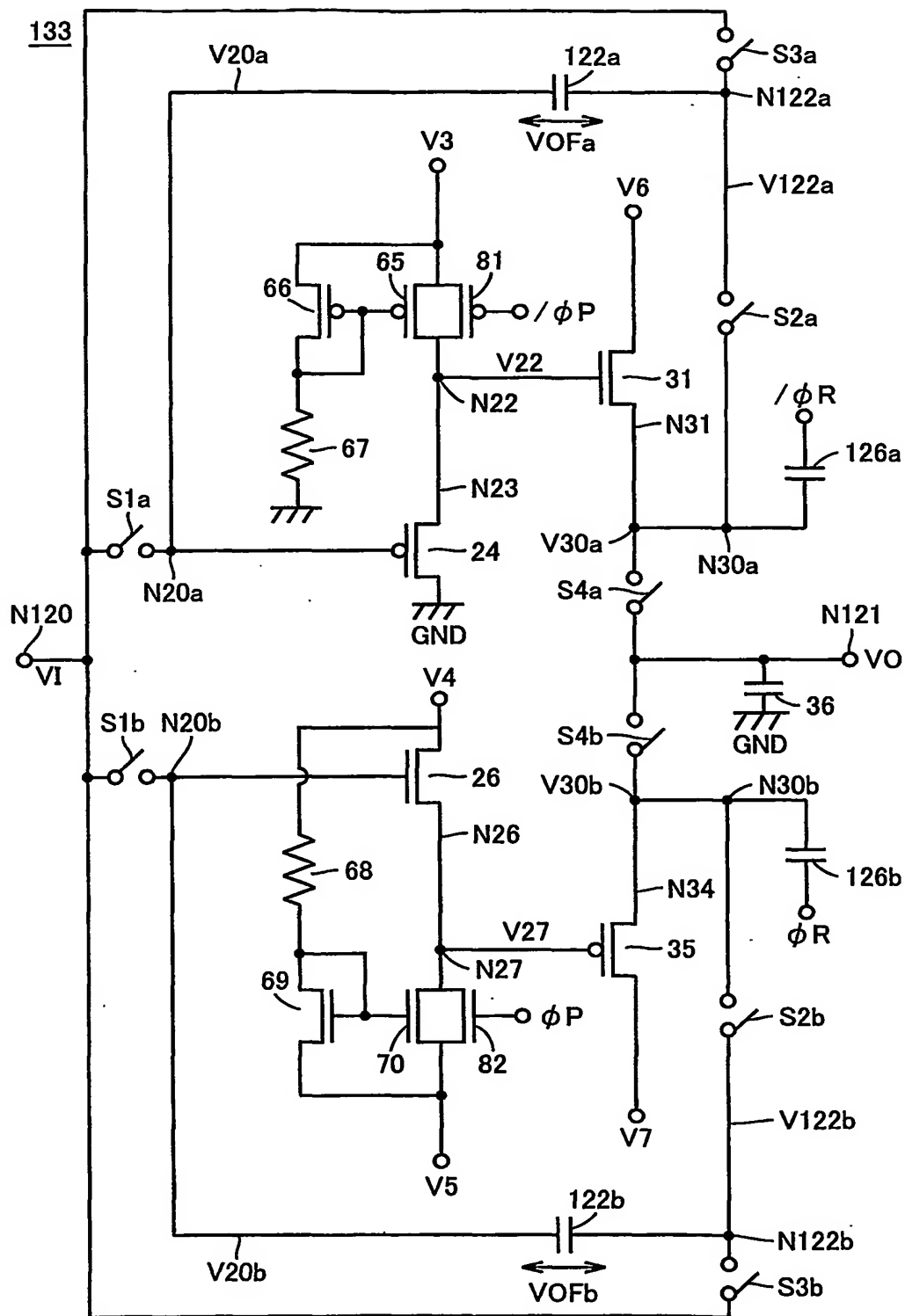


FIG.42

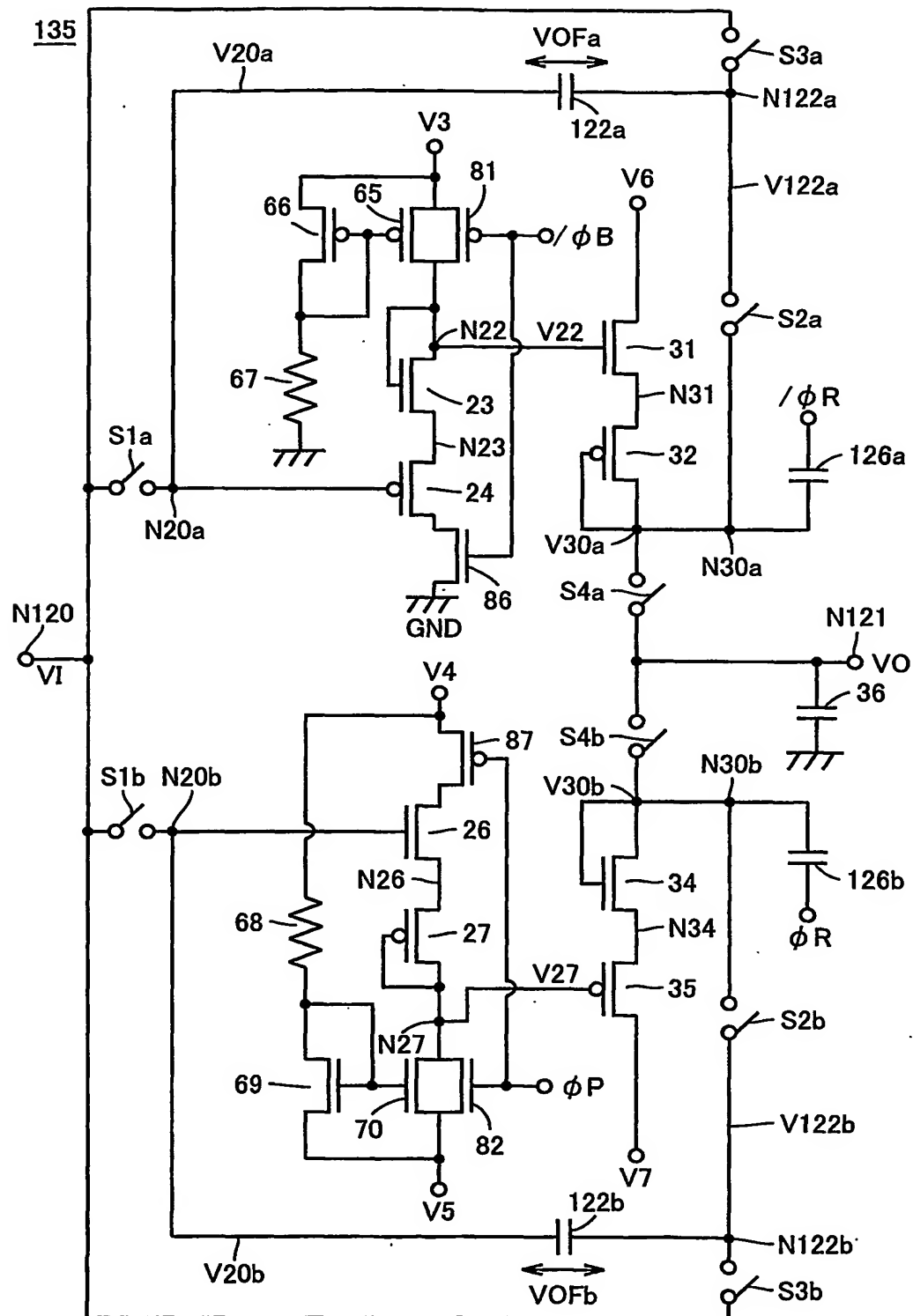


FIG.43

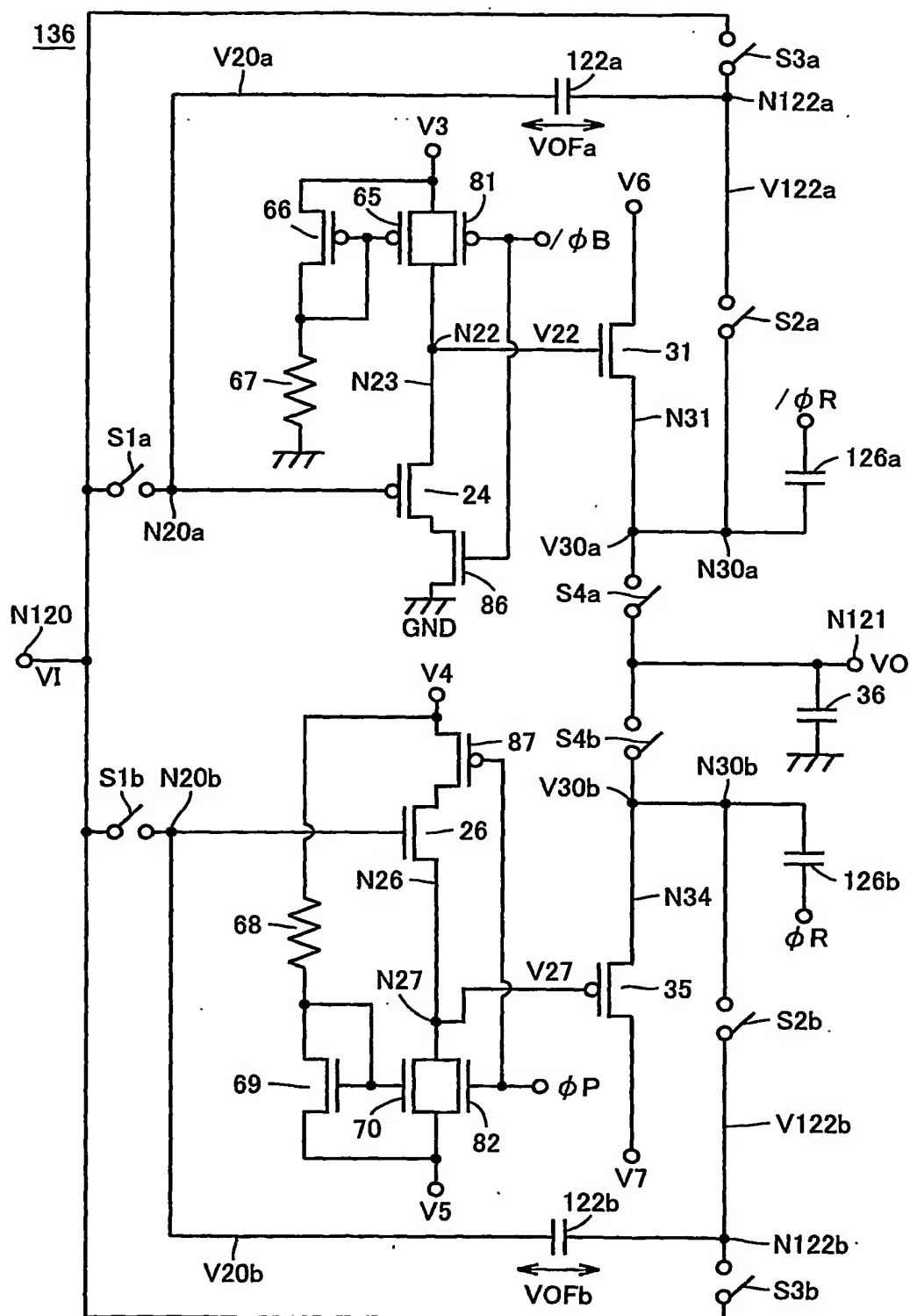


FIG.44

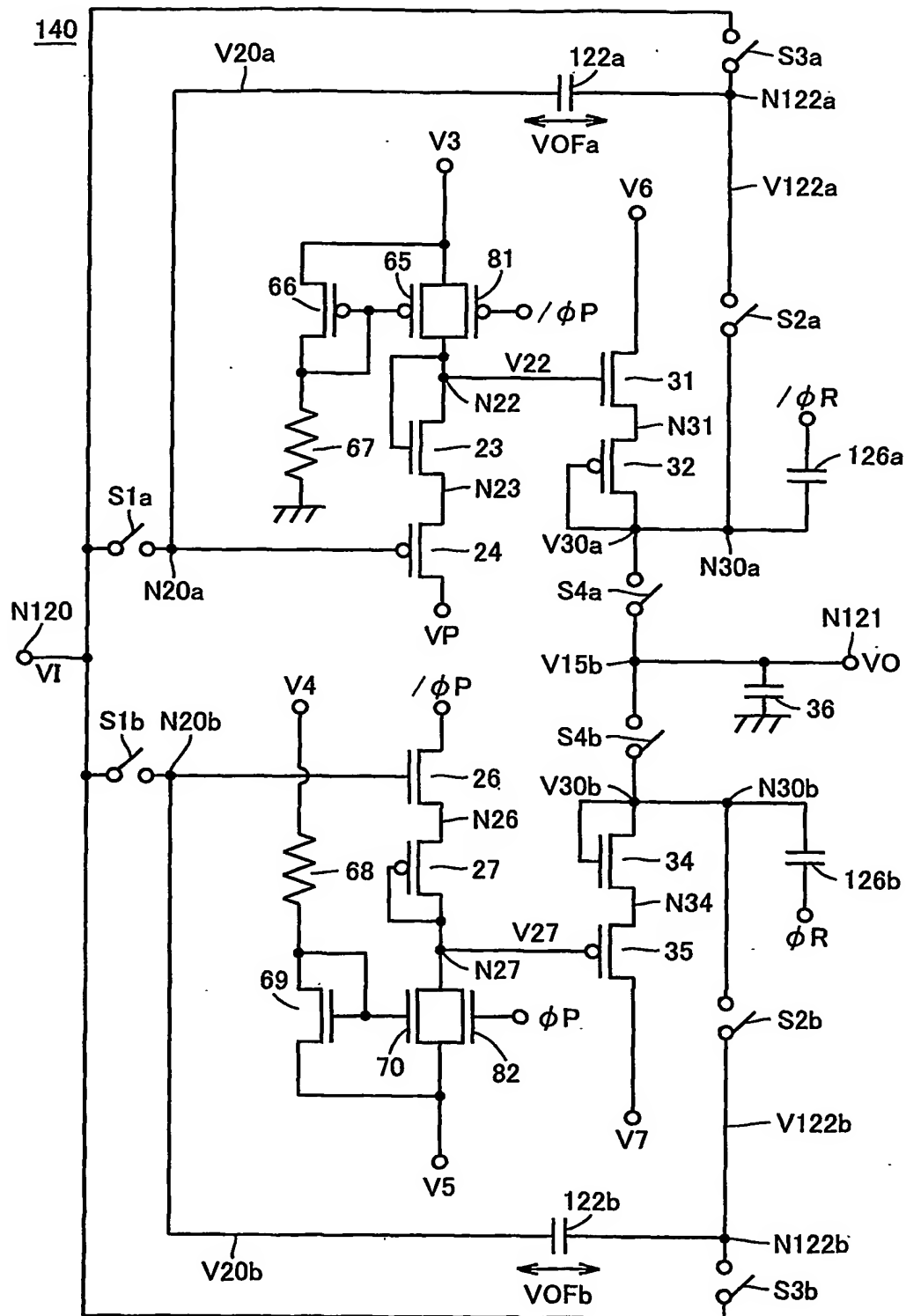


FIG.45

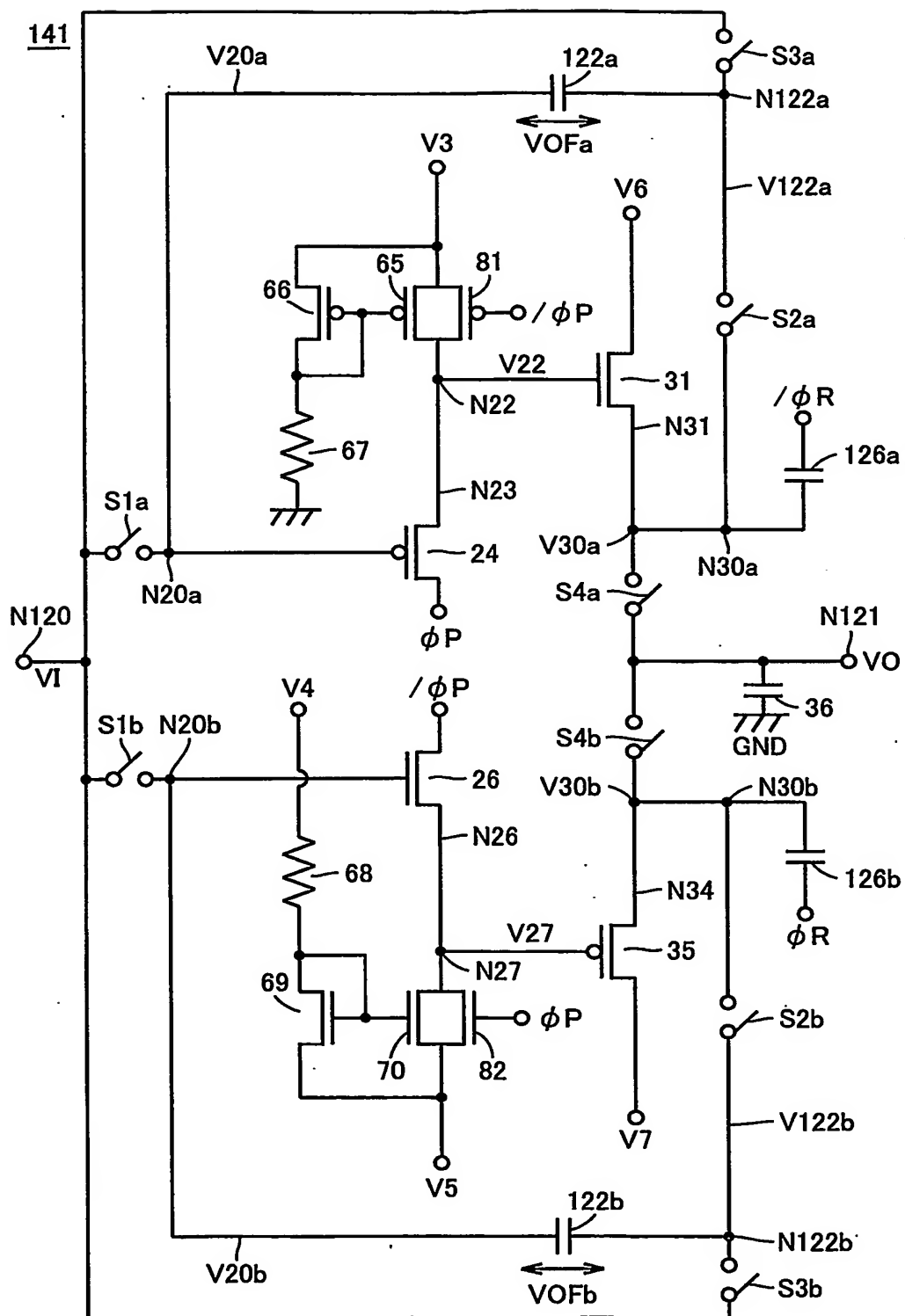


FIG.46

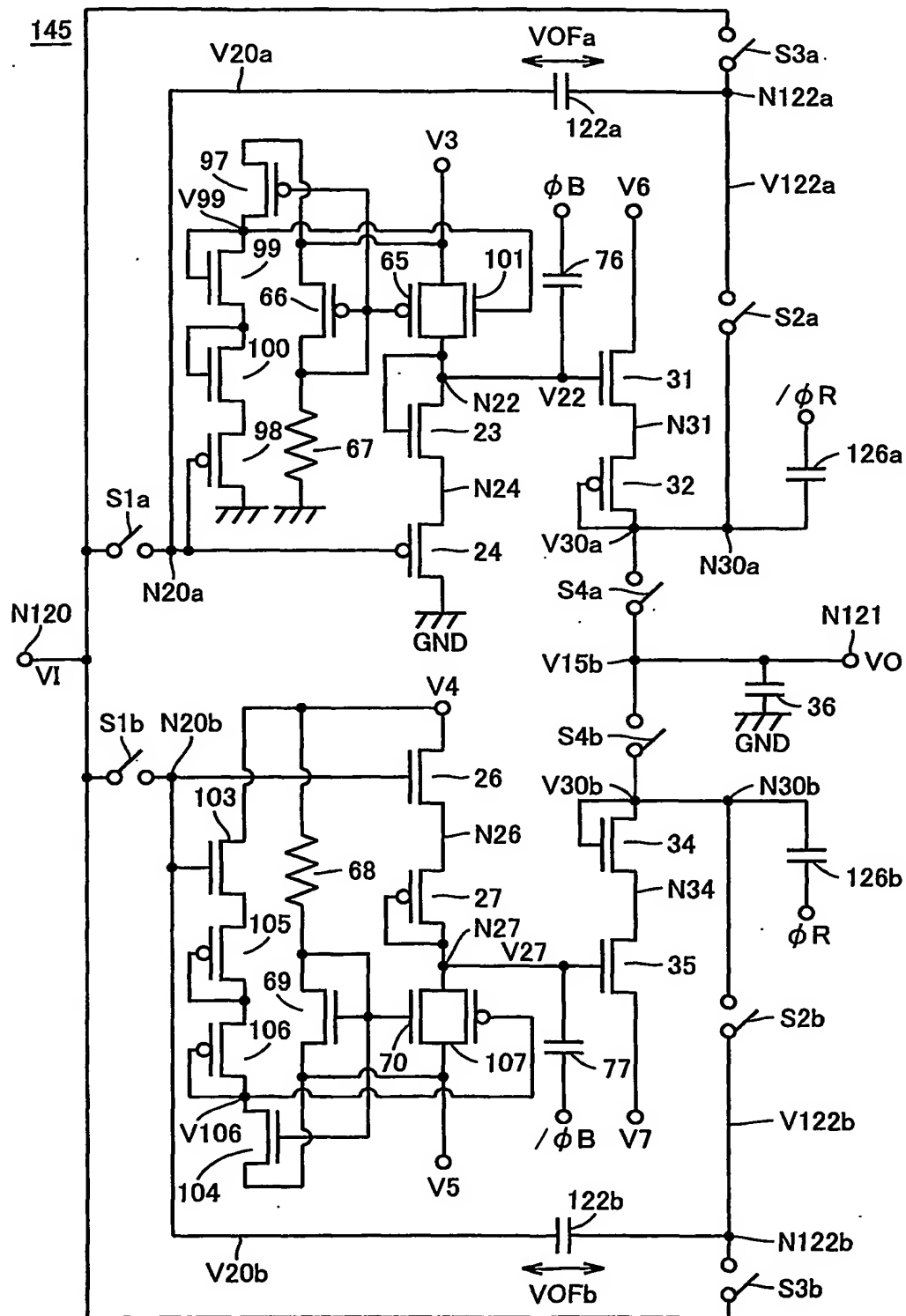


FIG.47

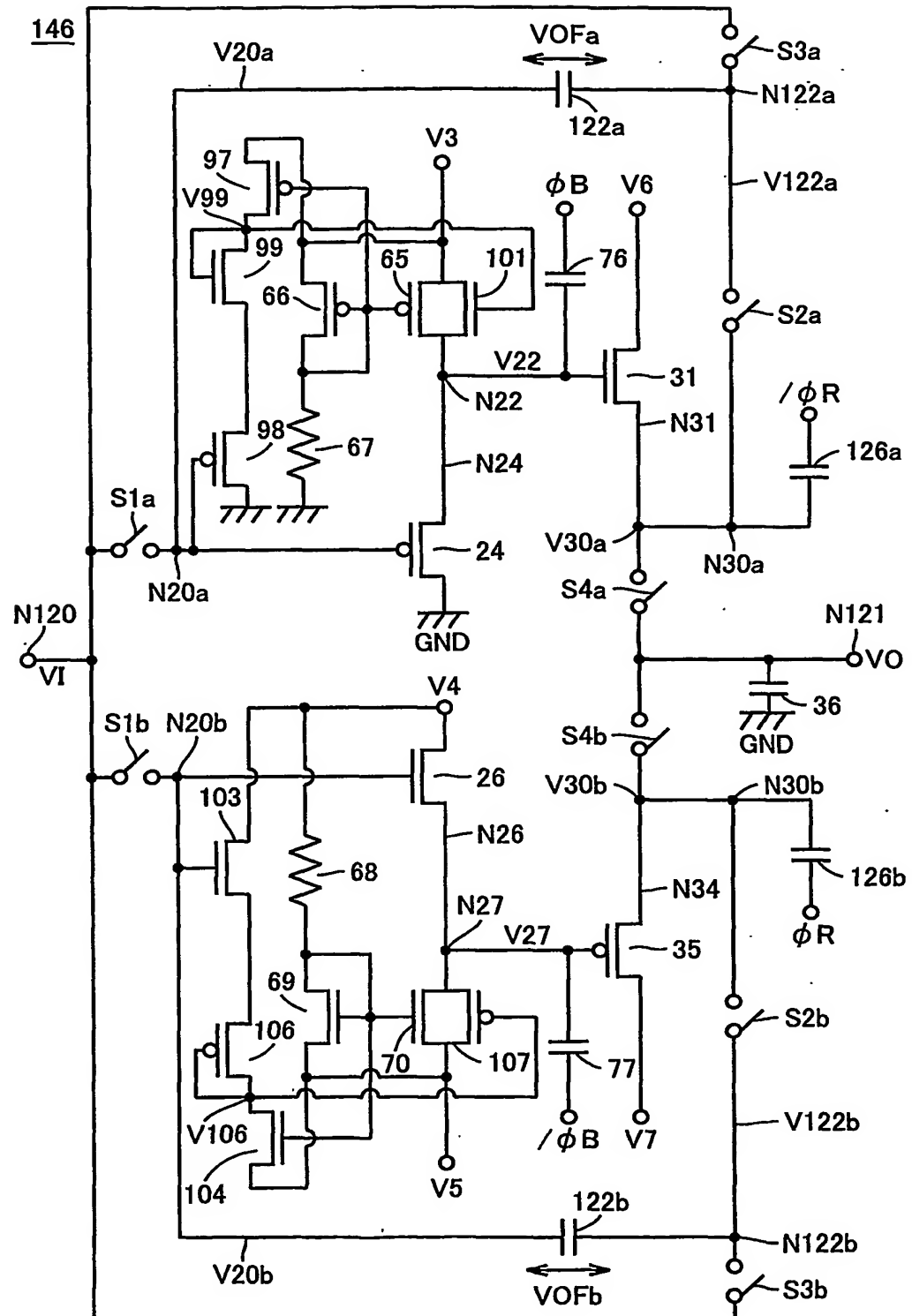


FIG.48

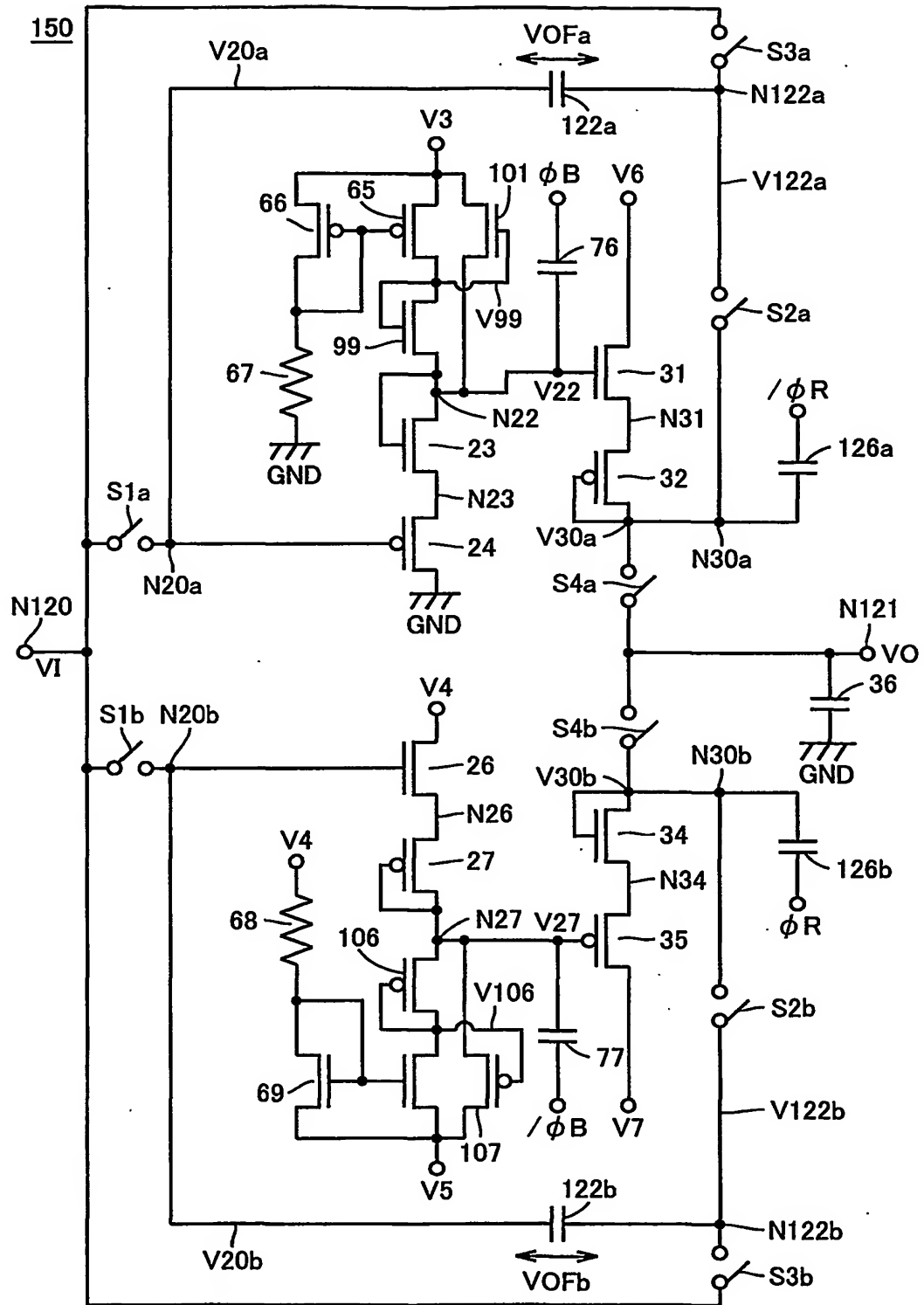


FIG.49

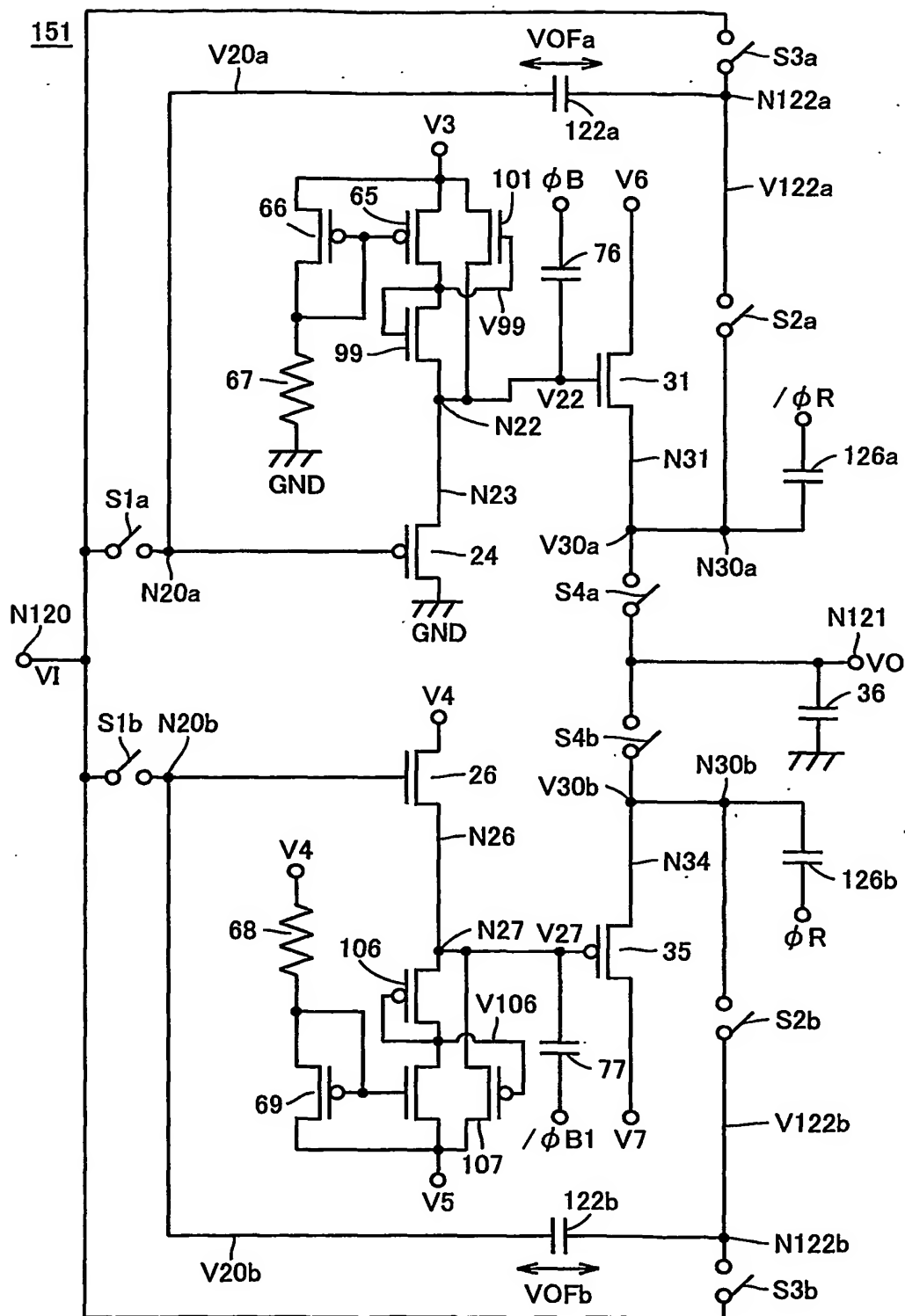


FIG.50

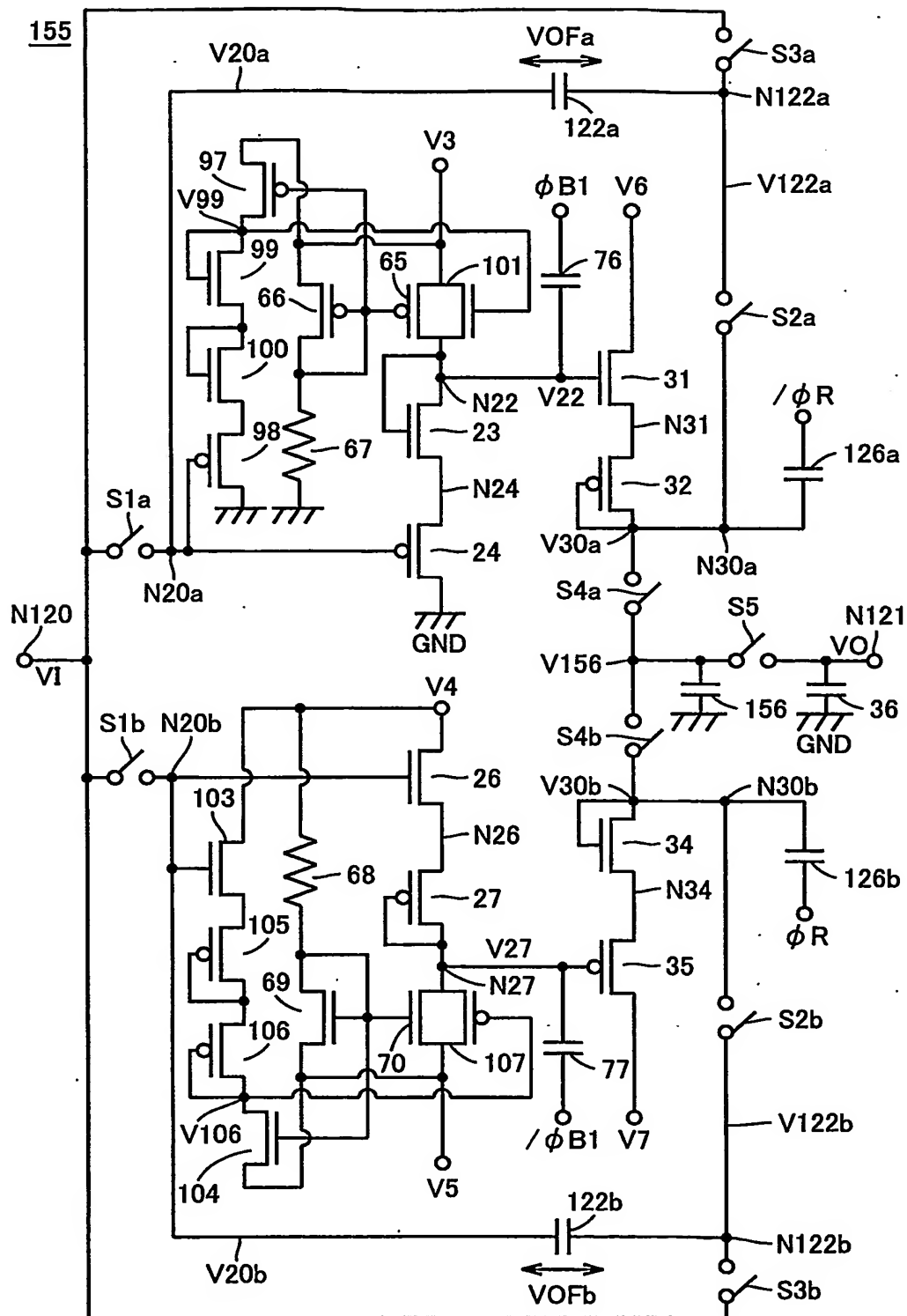


FIG.51

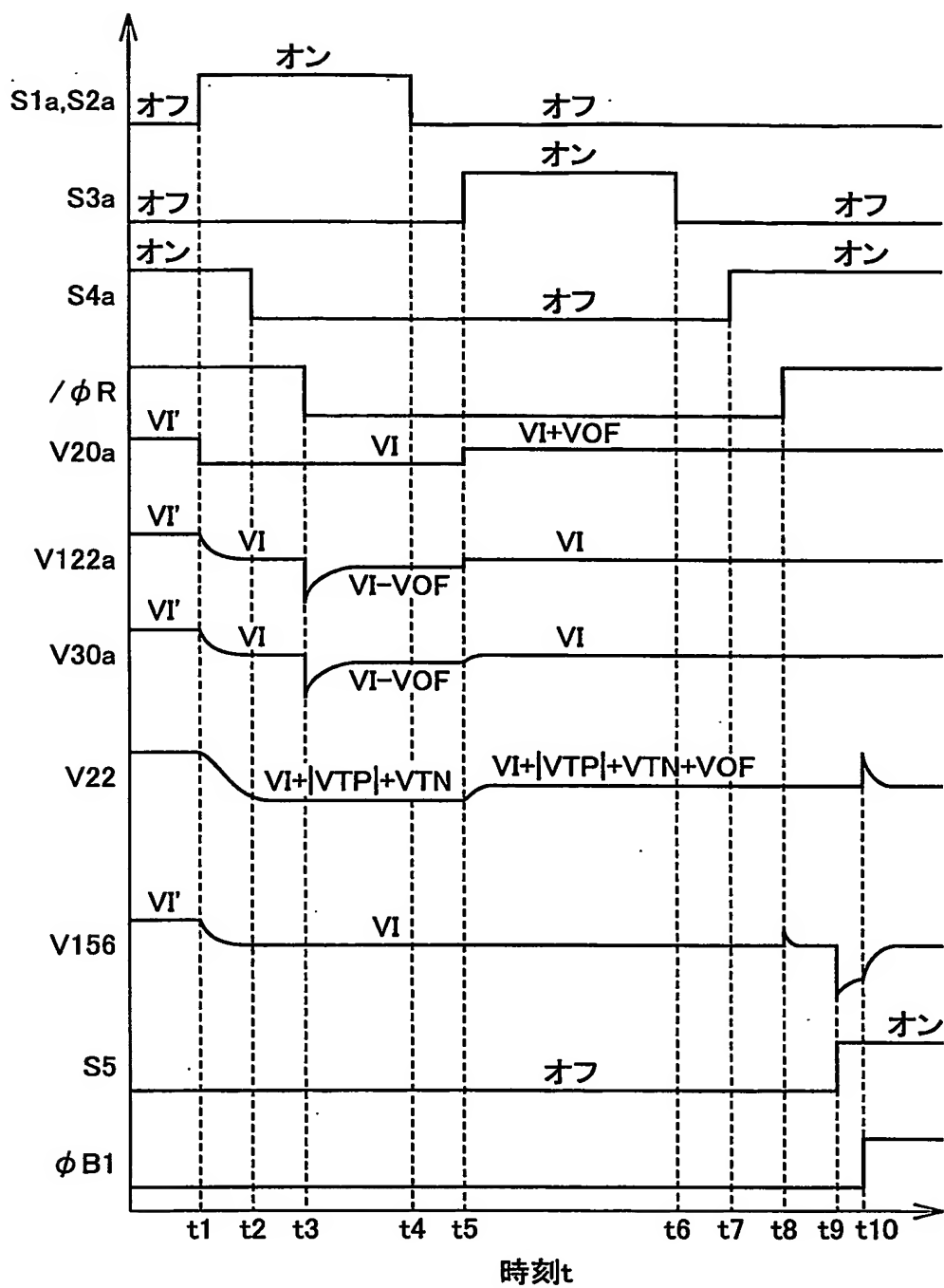


FIG.52

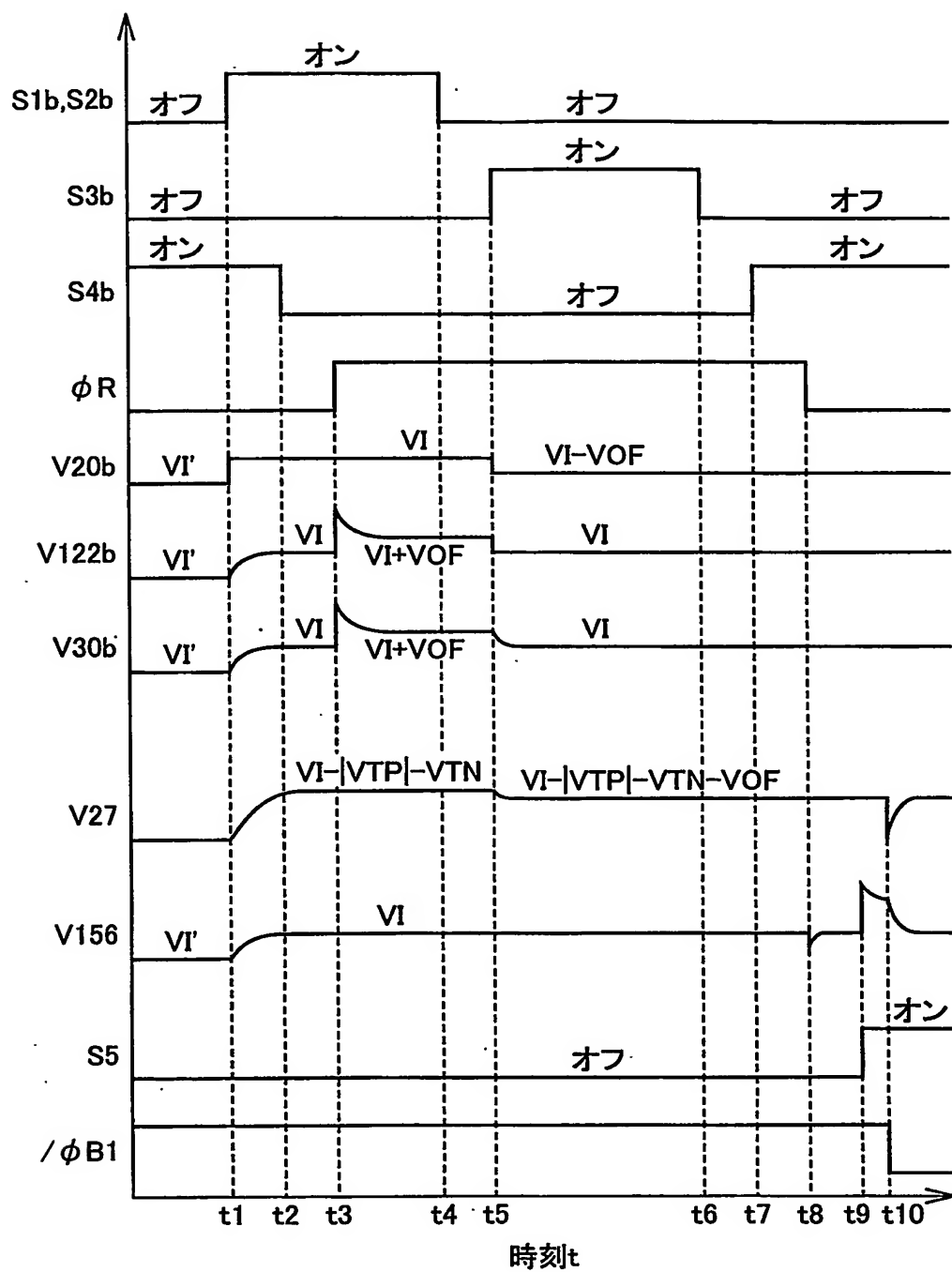


FIG.53

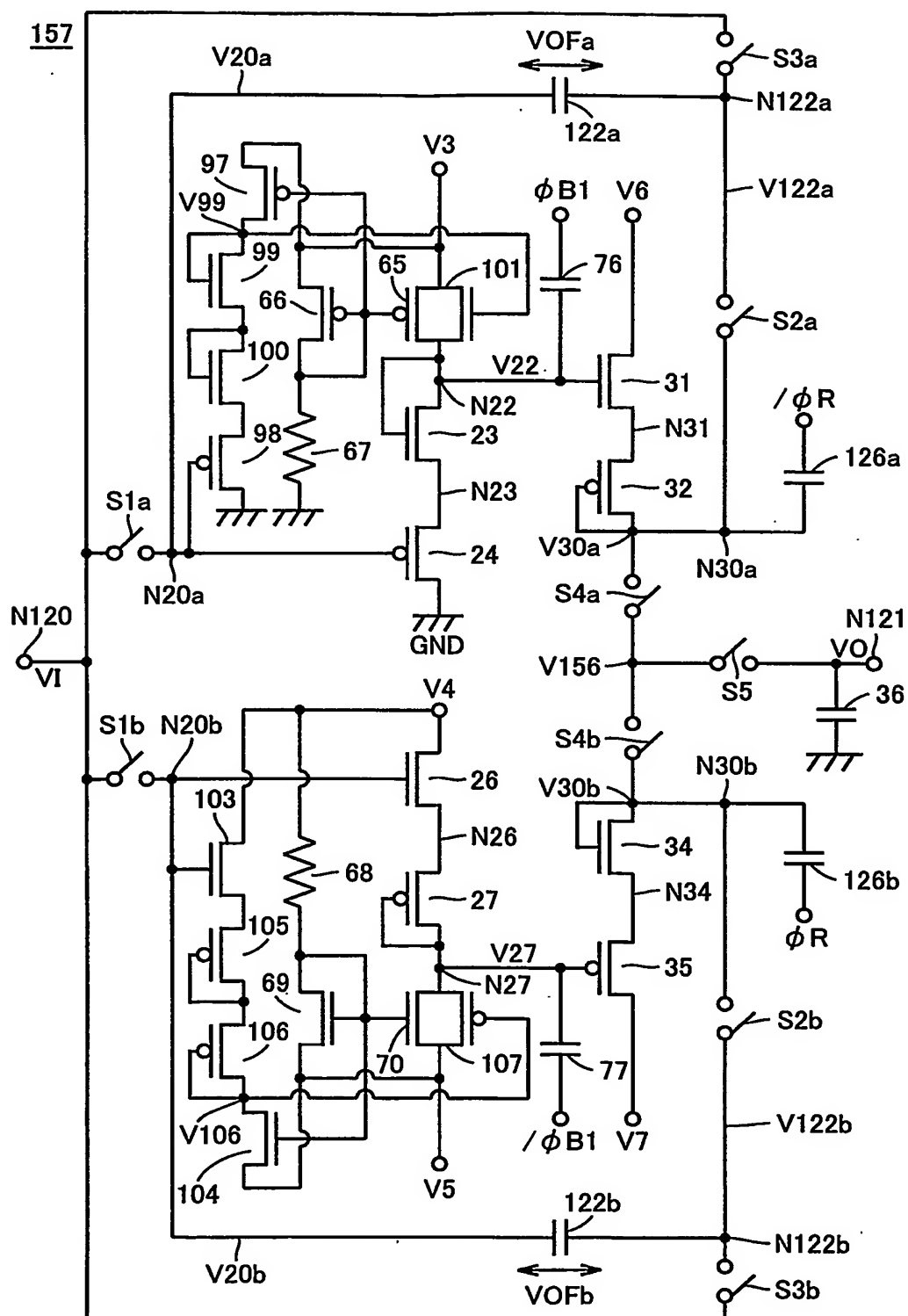


FIG.54

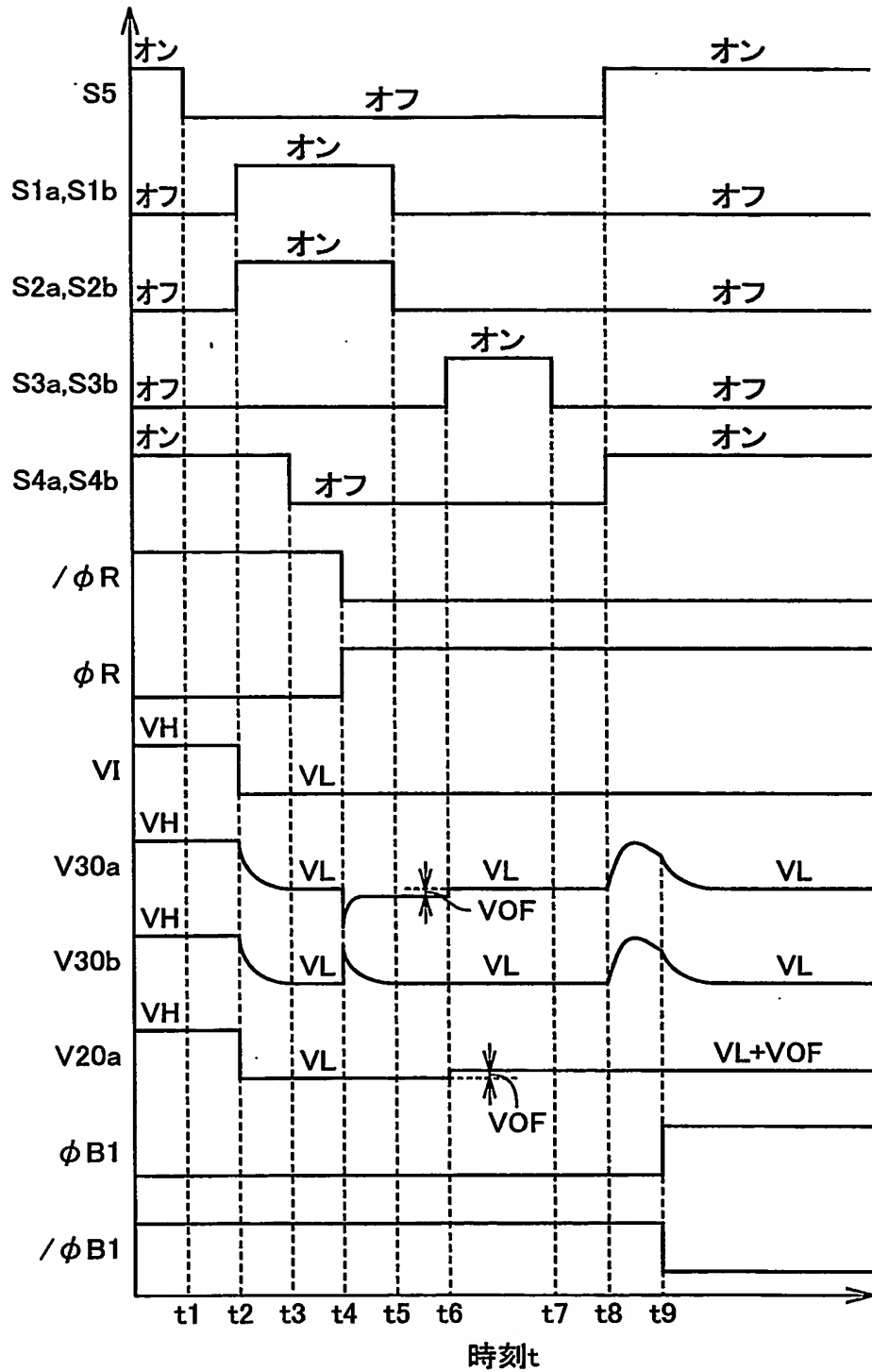


FIG.55

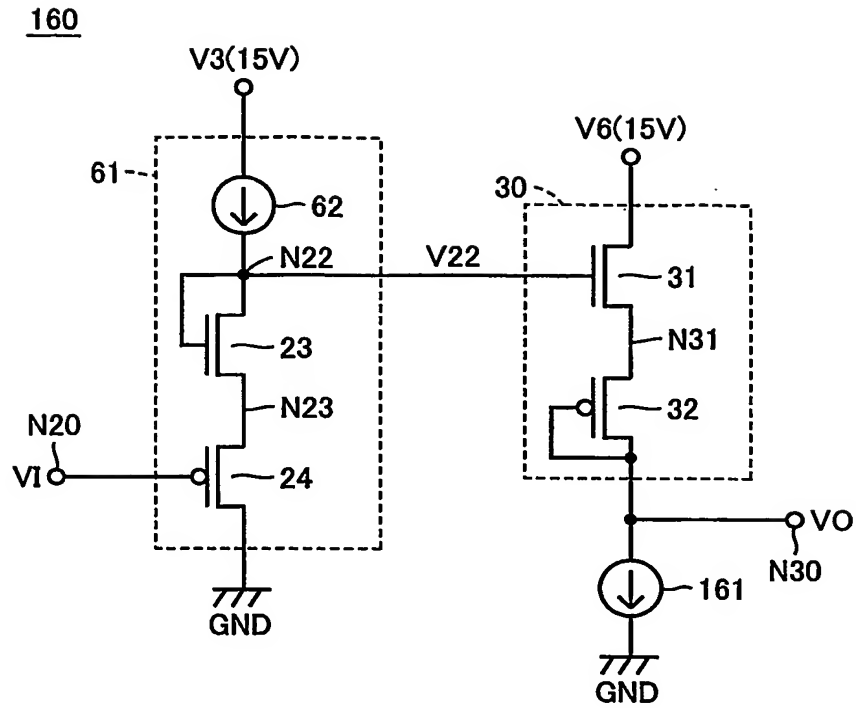


FIG.56

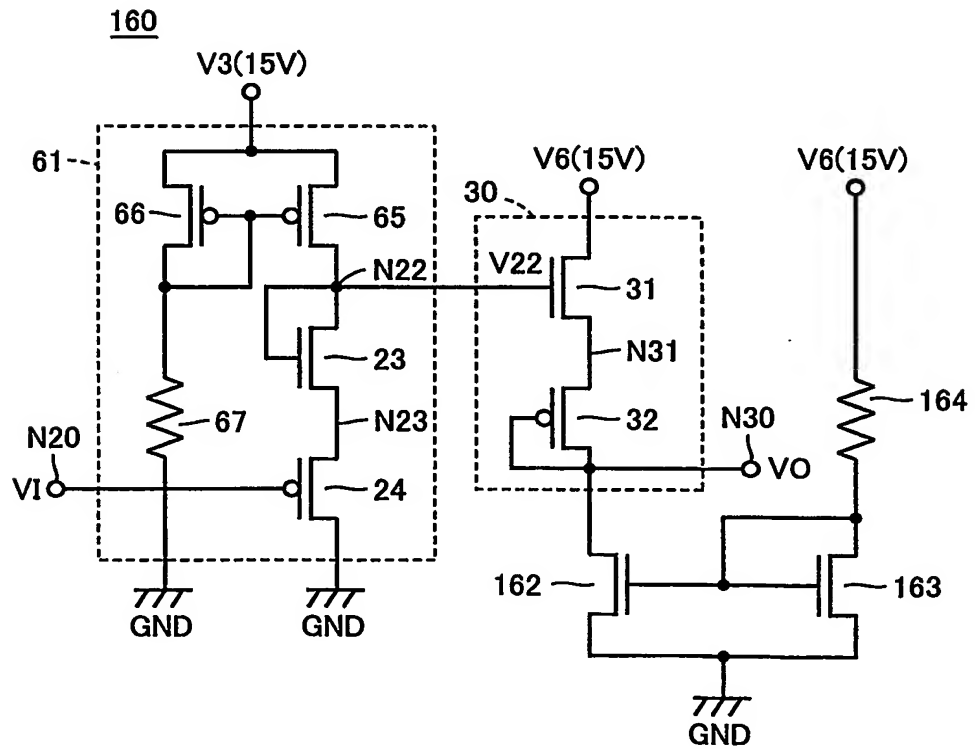


FIG.57

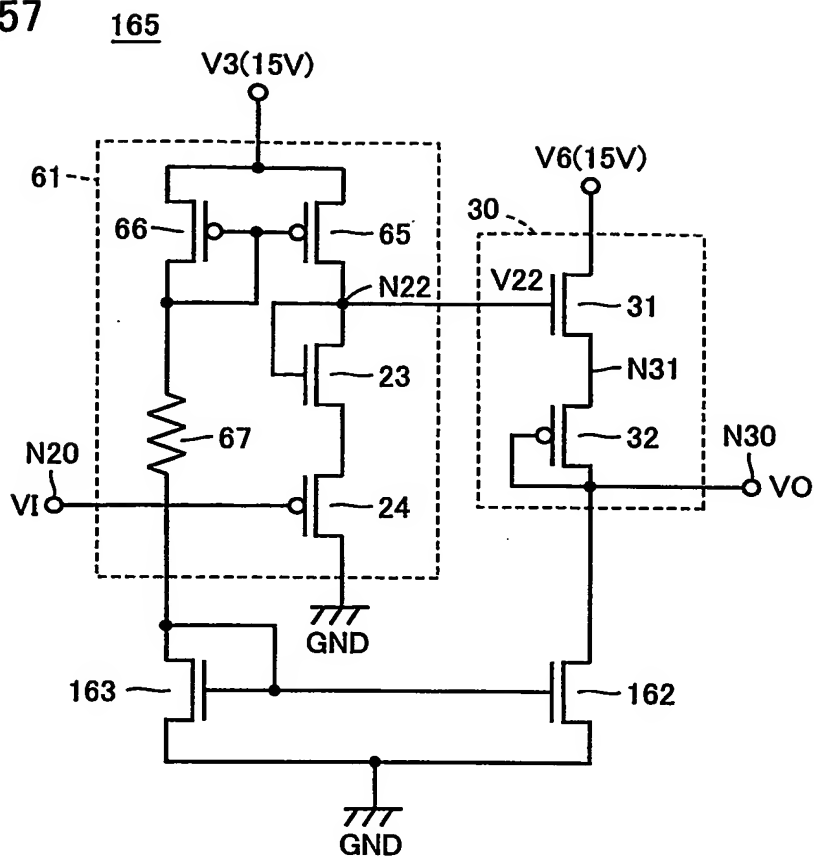


FIG.58

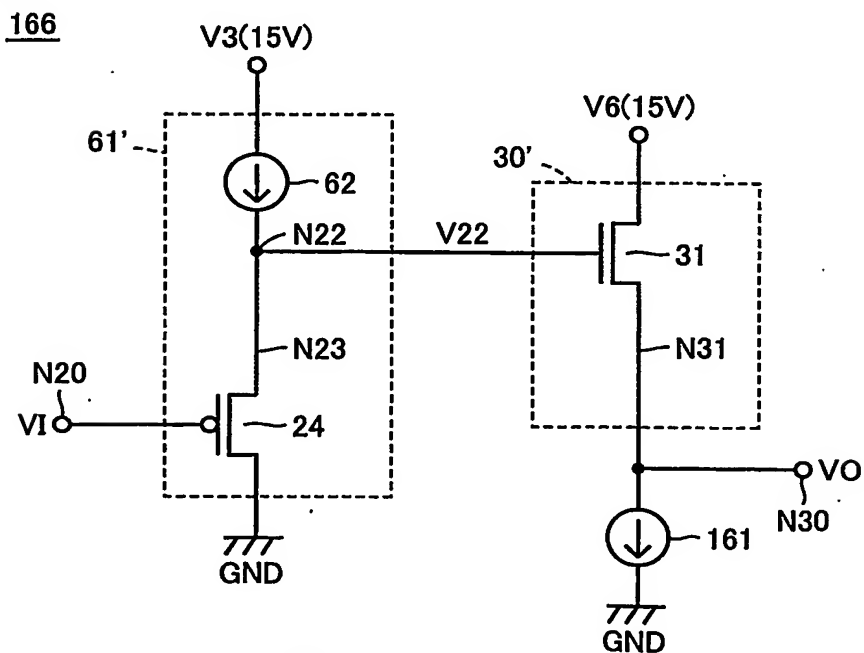


FIG.59

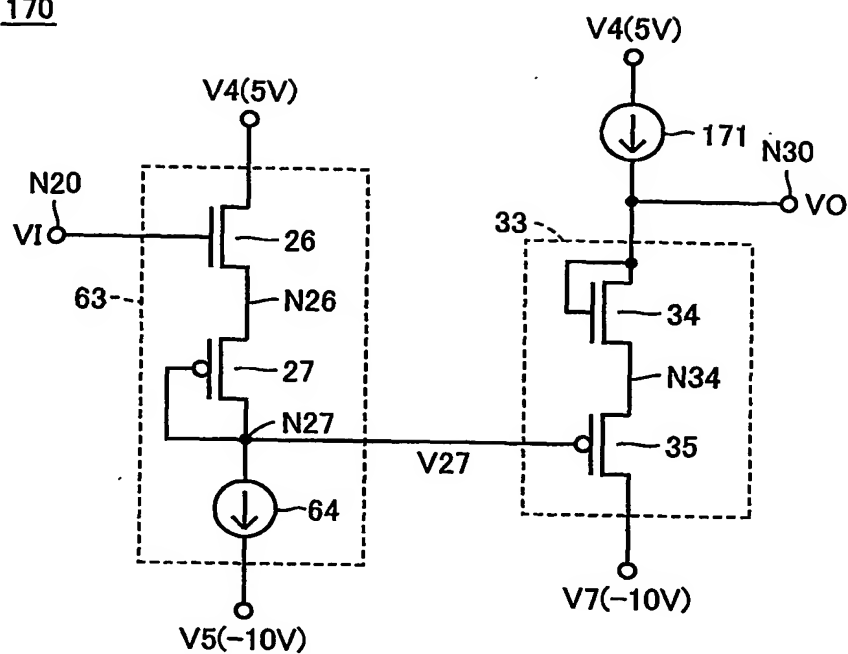
170

FIG.60

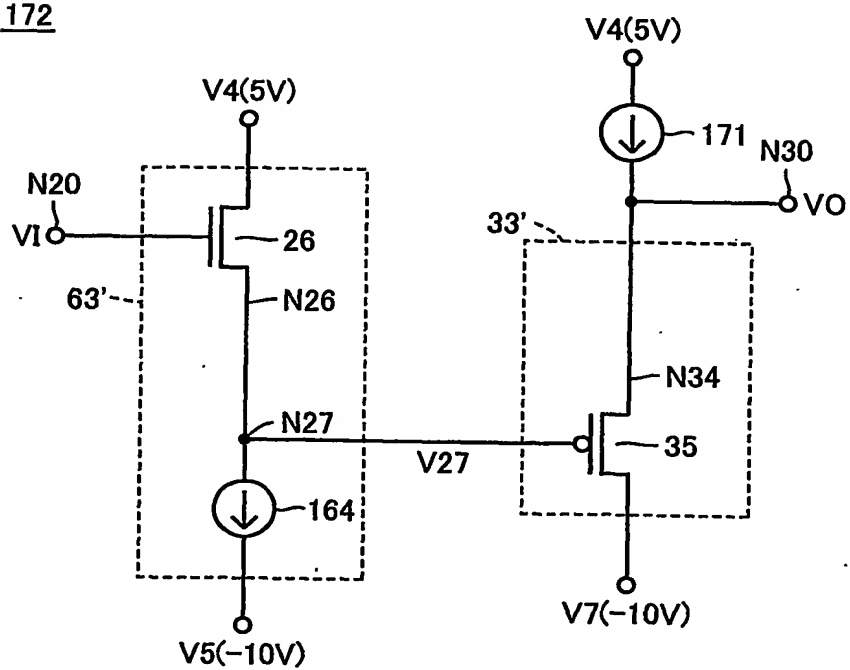
172

FIG.62

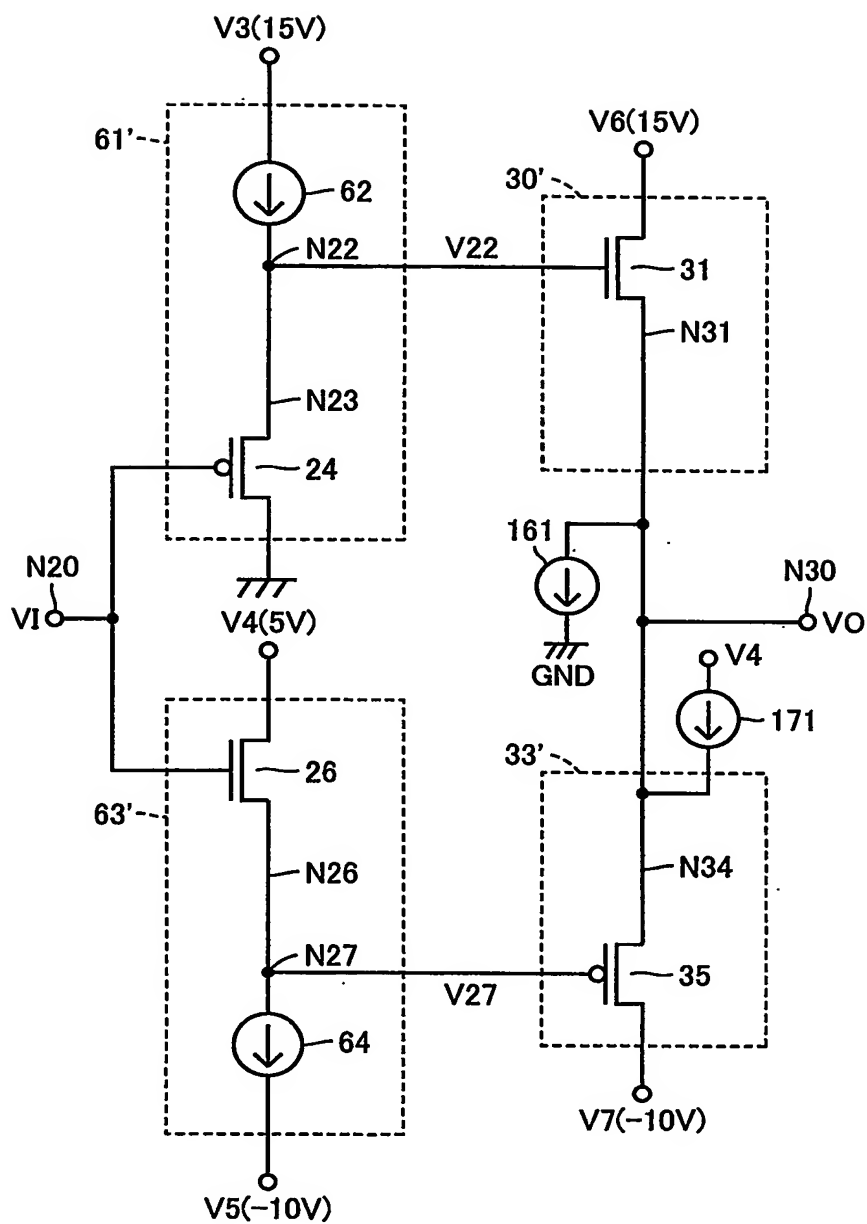
176

FIG.64

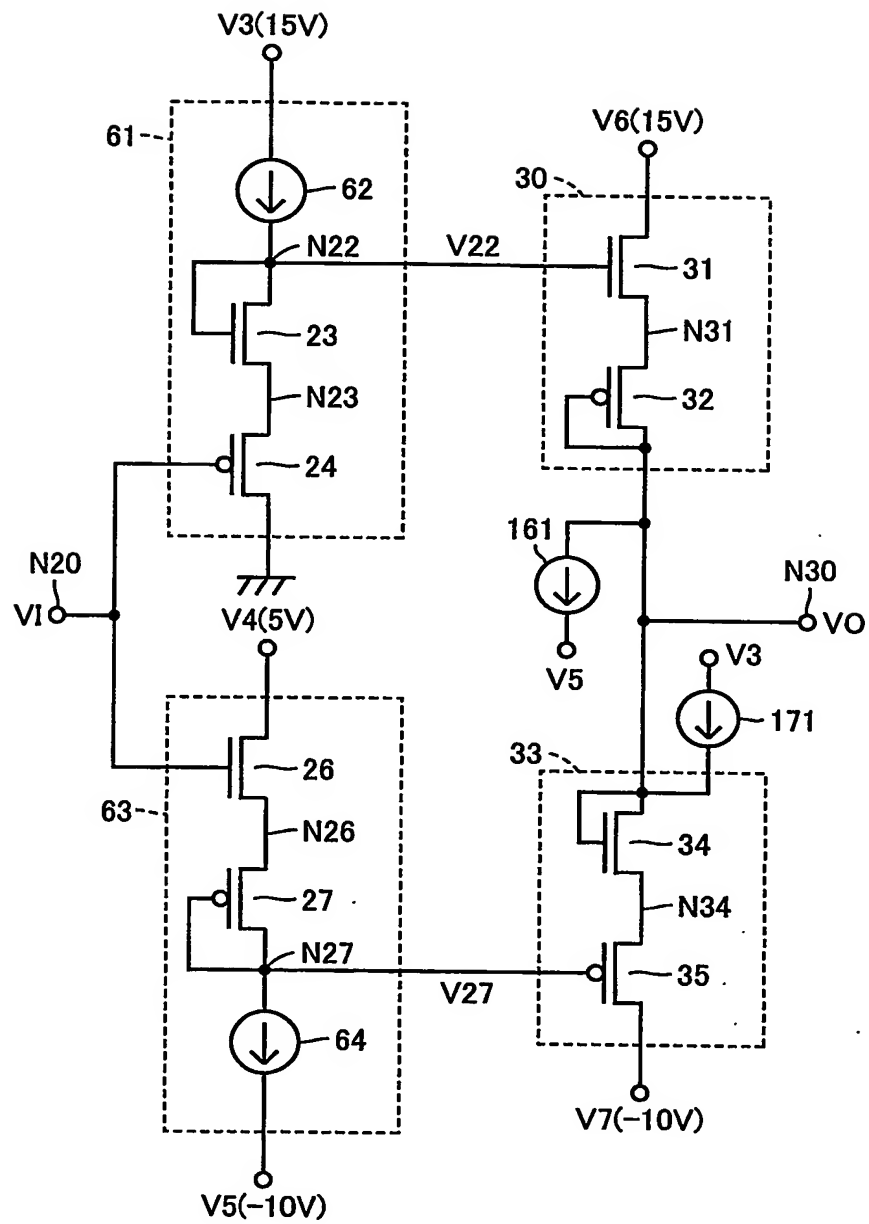
185

FIG.65

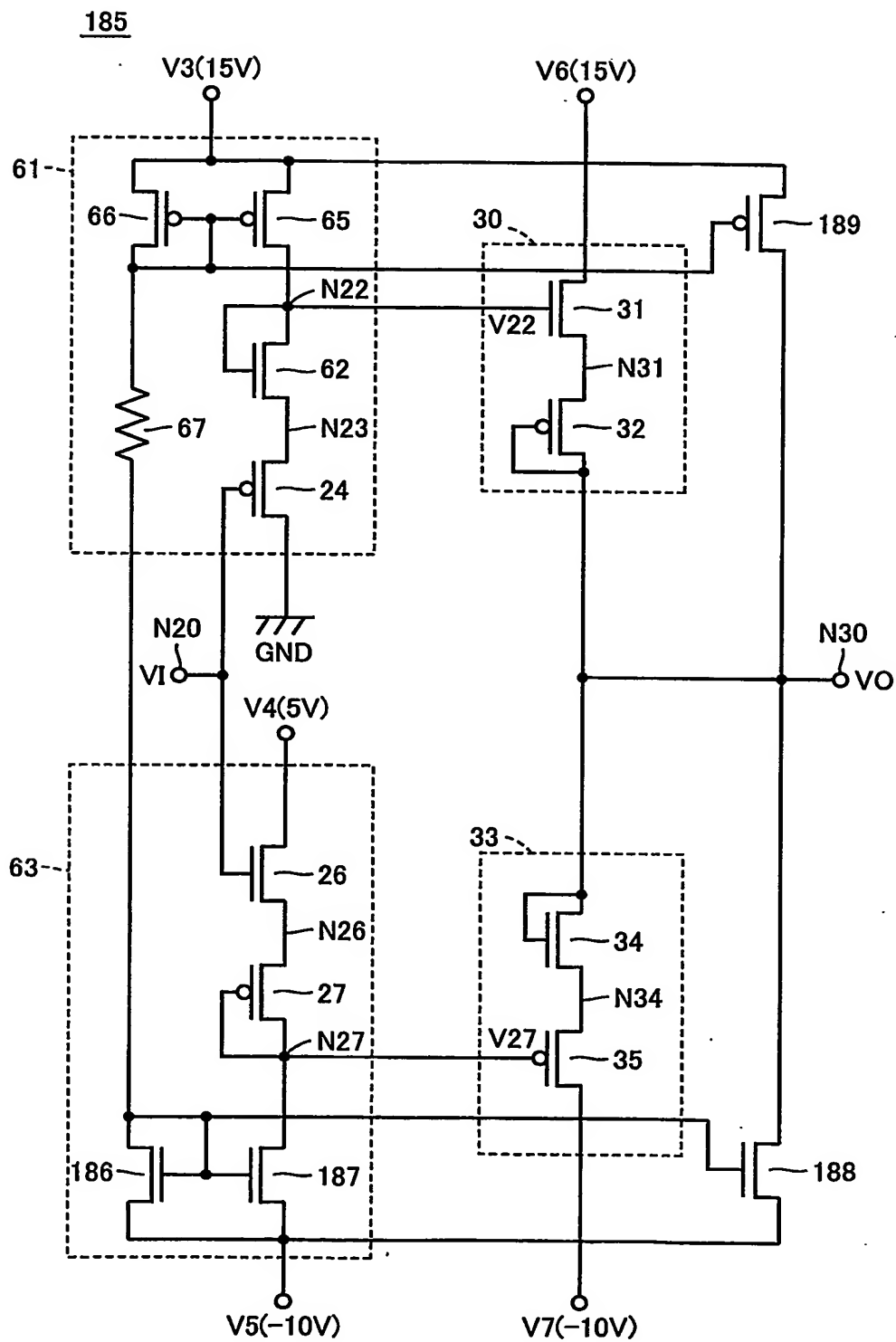


FIG.66

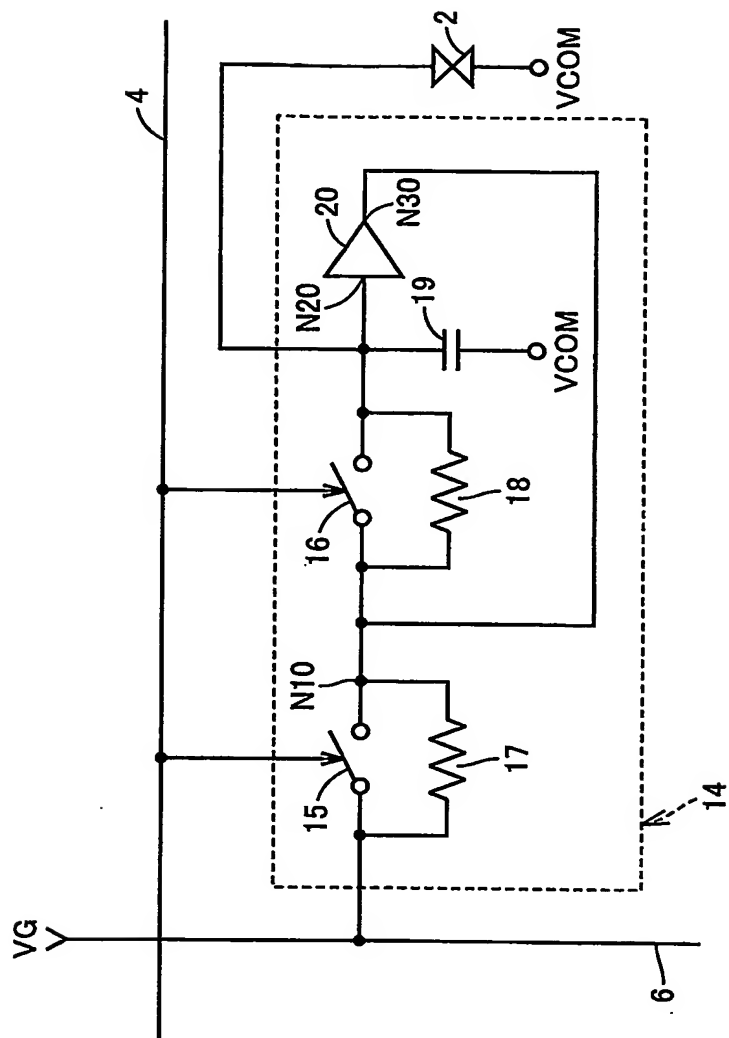


FIG.67

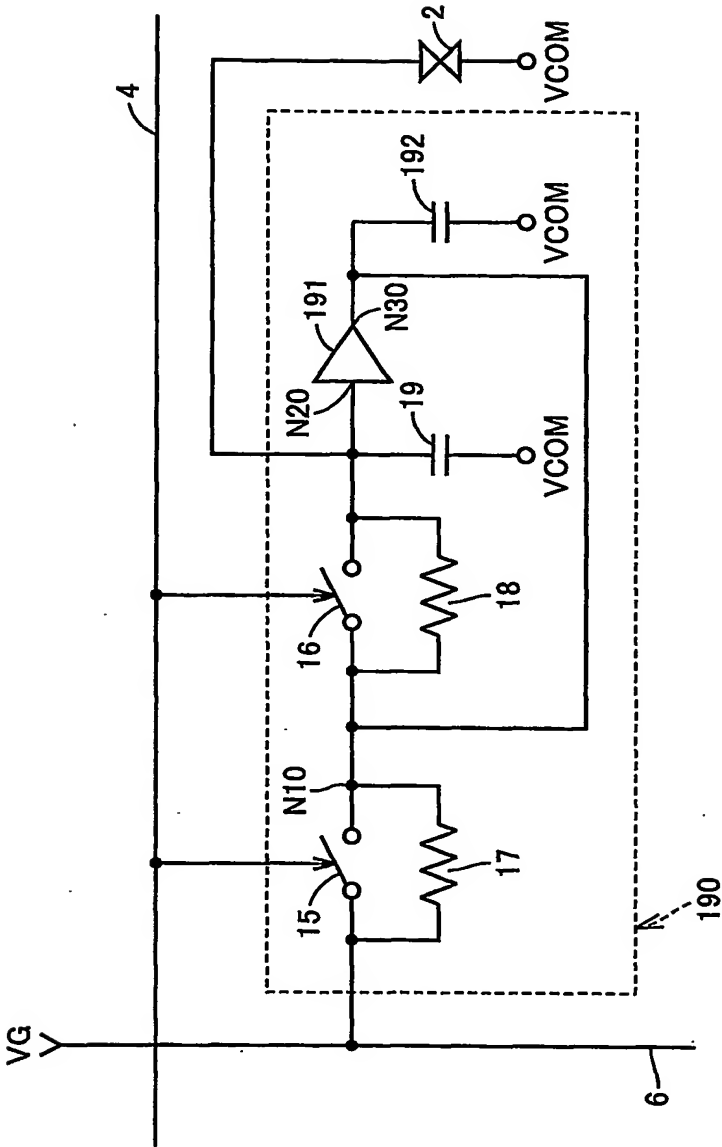


FIG.68

191

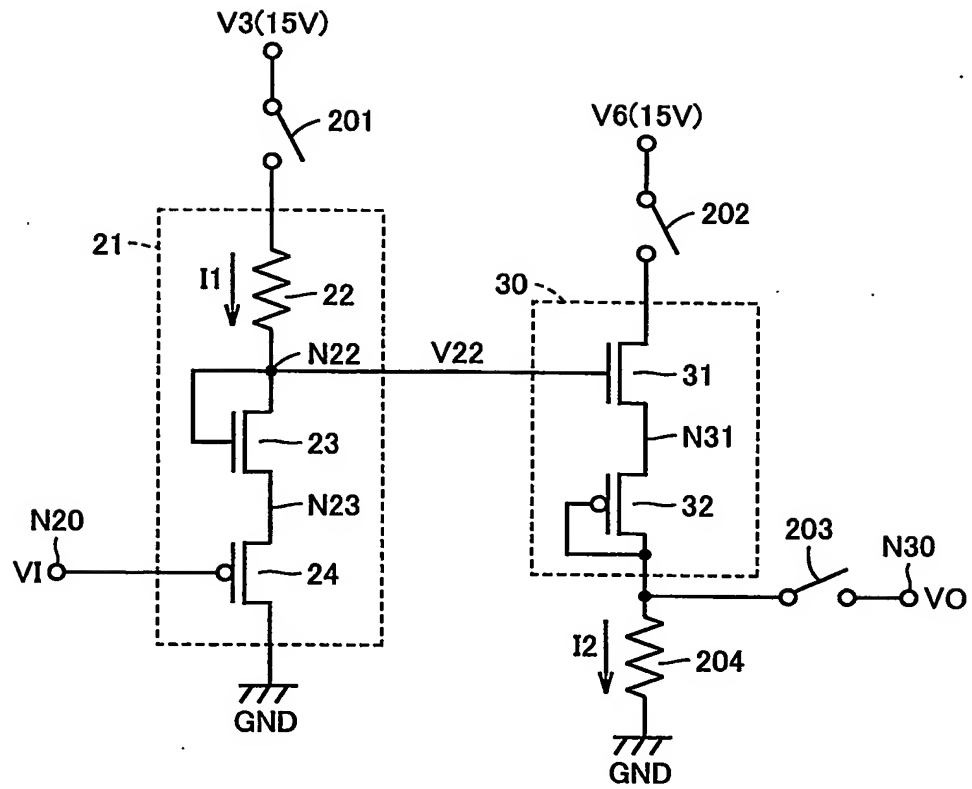


FIG.69

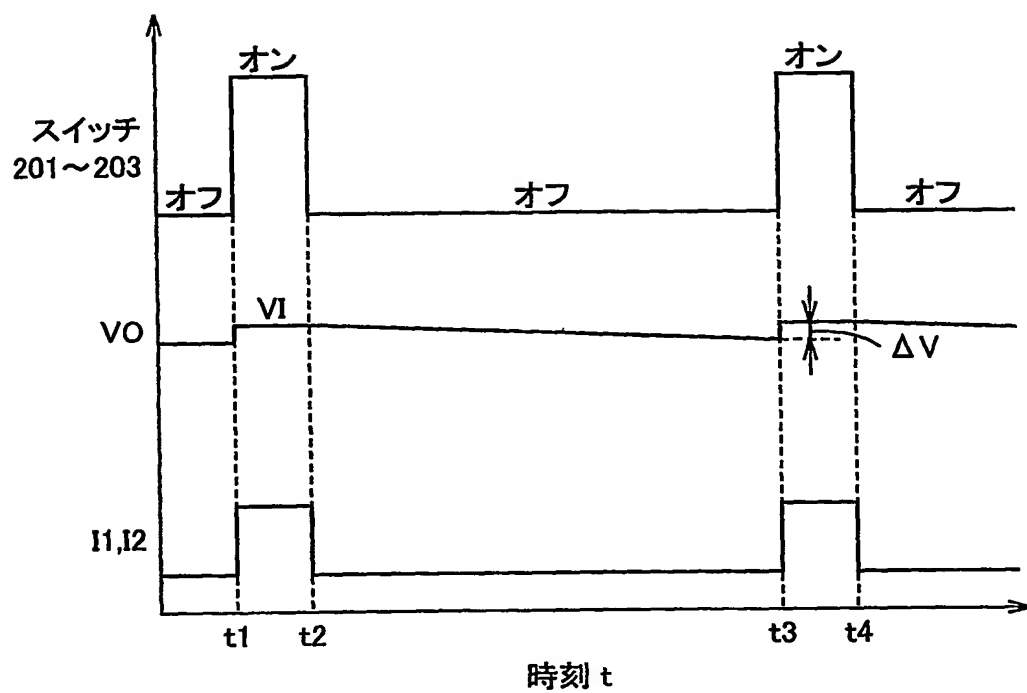


FIG.70

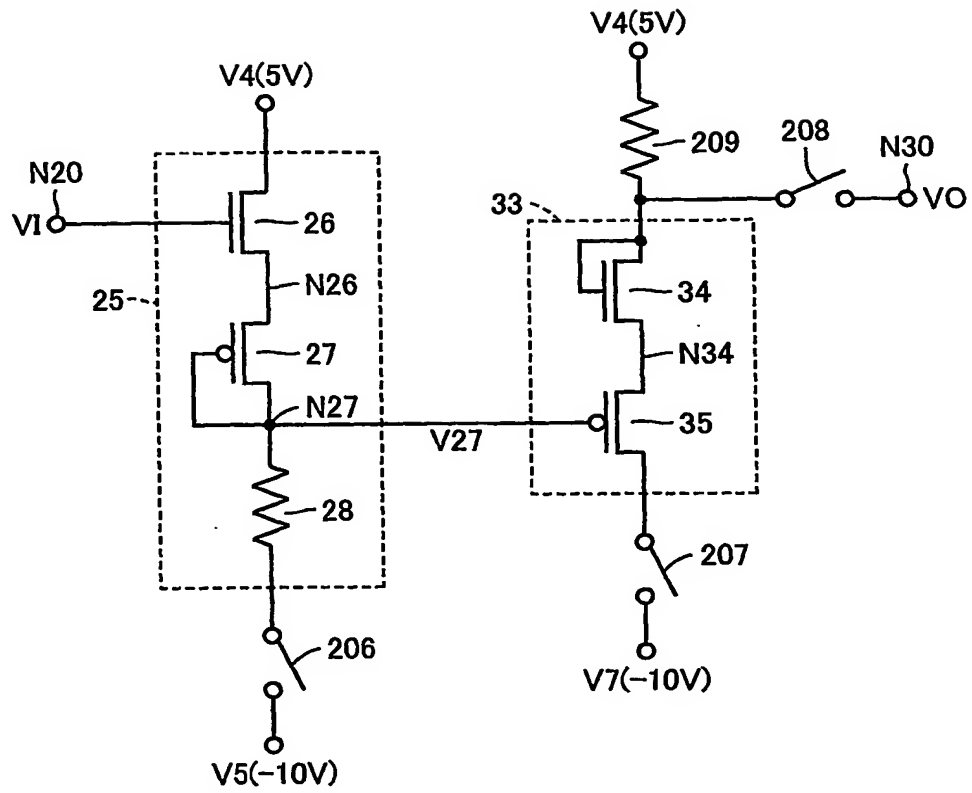
205

FIG.71

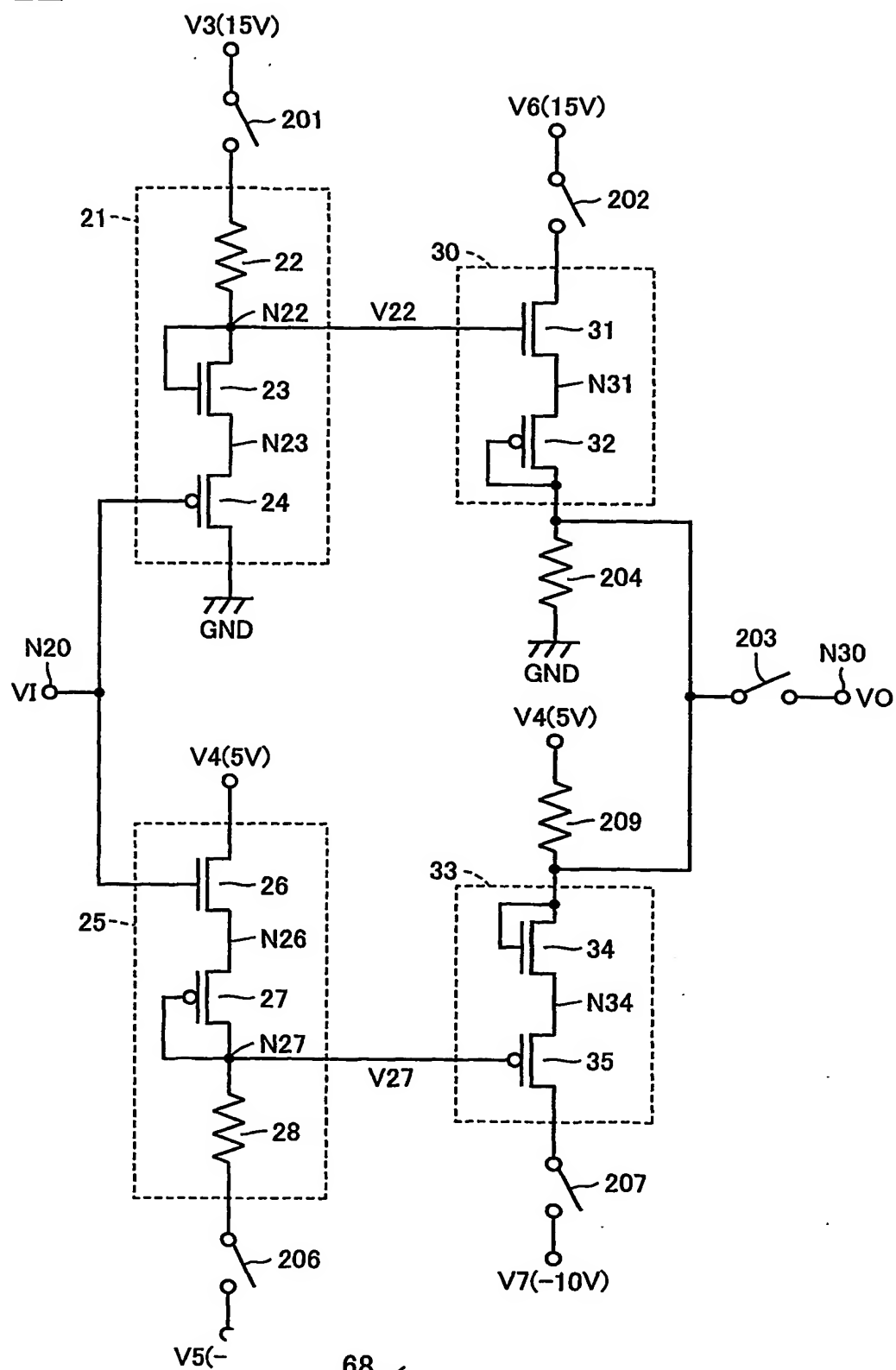
210

FIG.72

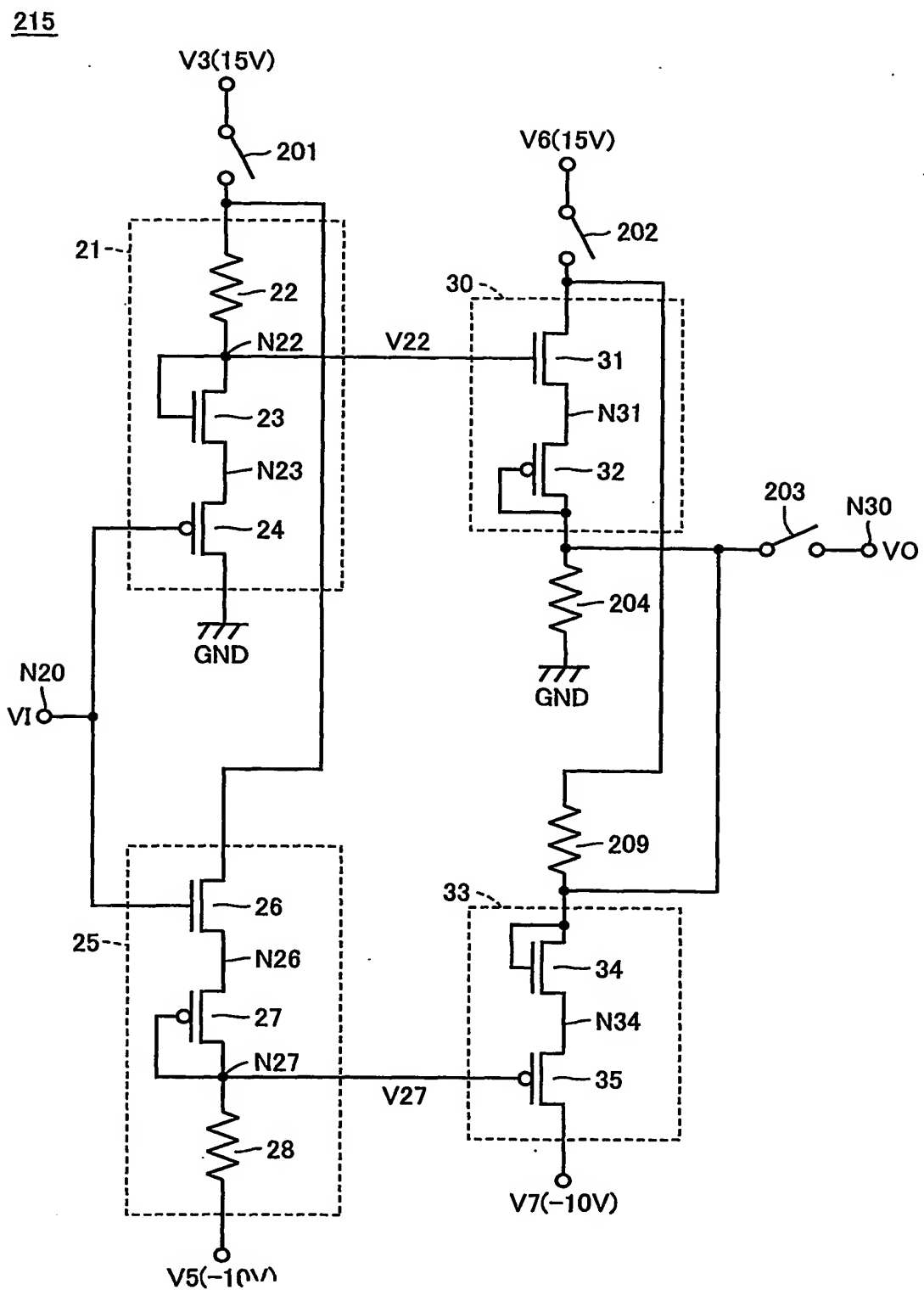


FIG.73

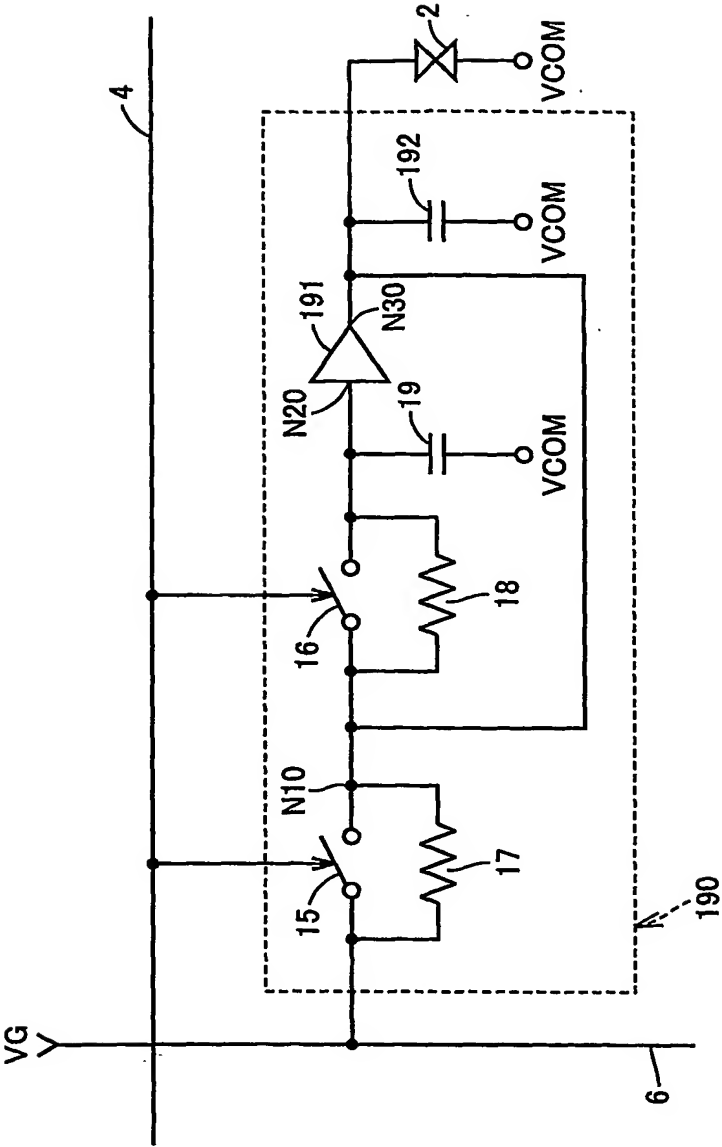


FIG.74

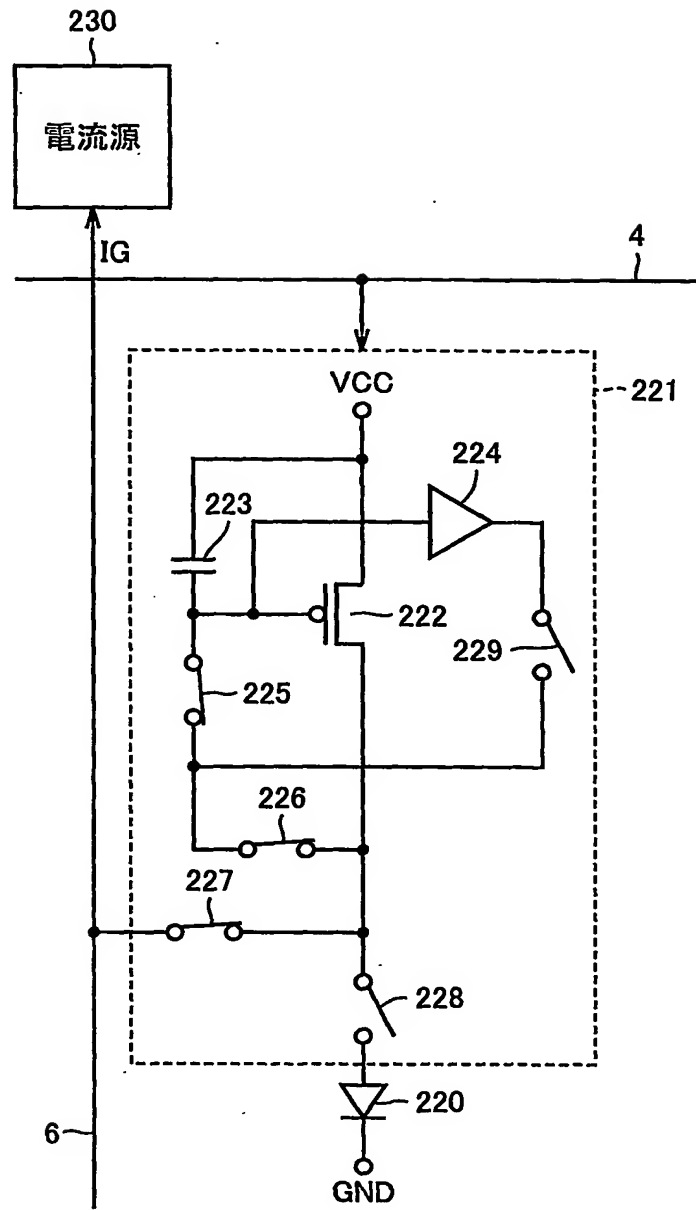


FIG.75

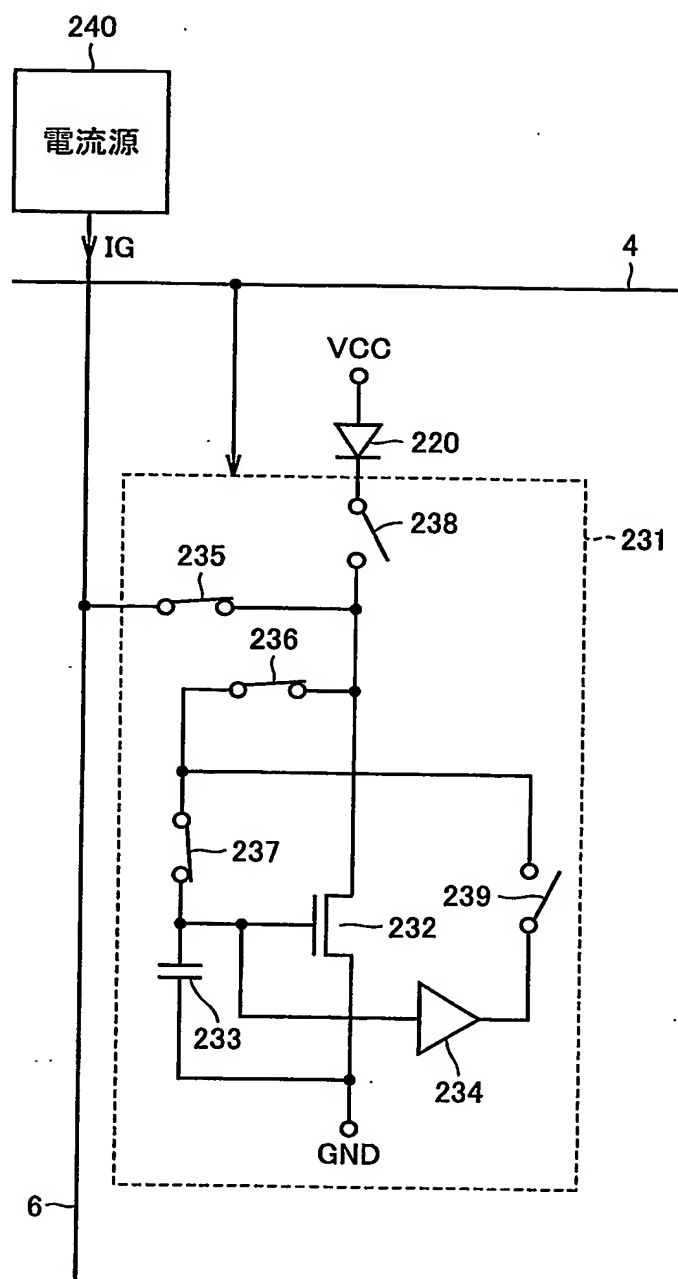
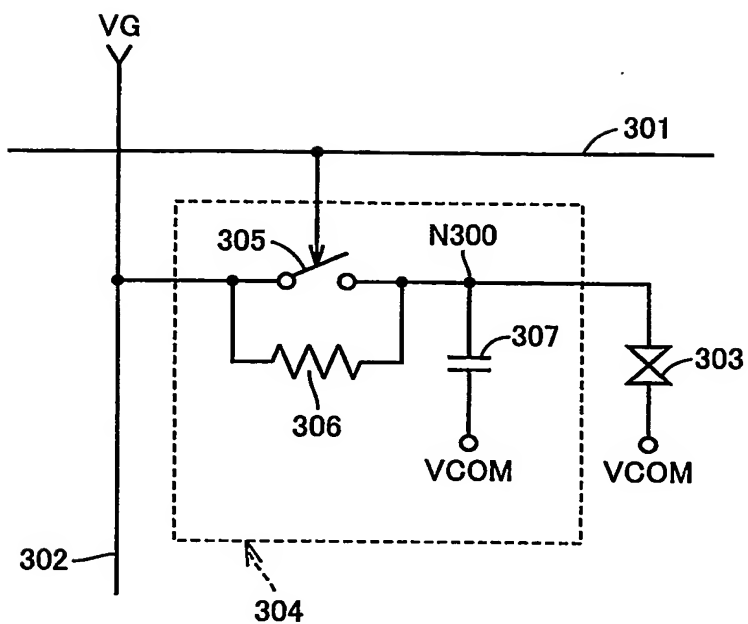


FIG.76



INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP03/08249

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl⁷ G09G3/36, 3/30, G02F1/133

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Int.Cl⁷ G09G3/36, 3/30, G02F1/133, H03K17/00

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Jitsuyo Shinan Koho 1922-1996 Toroku Jitsuyo Shinan Koho 1994-2003
Kokai Jitsuyo Shinan Koho 1971-2003 Jitsuyo Shinan Toroku Koho 1996-2003

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 5-142573 A (Toshiba Corp.),	1-2, 18-19
Y	11 June, 1993 (11.06.93),	4-5, 14, 20
A	Claim 1; Par. Nos. [0014] to [0020], [0026] to [0028]; Figs. 1 to 6 (Family: none)	3, 6-13, 15-17
Y	JP 3-293813 A (Fujitsu Ltd.), 25 December, 1991 (25.12.91), Page 2, upper left column, line 19 to upper right column, line 16; Fig. 6 (Family: none)	4-5, 14
Y	JP 5-291917 A (Olympus Optical Co., Ltd.), 05 November, 1993 (05.11.93), Par. No. [0002]; Fig. 2 (Family: none)	4-5, 14

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier document but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 29 September, 2003 (29.09.03)	Date of mailing of the international search report 14 October, 2003 (14.10.03)
--	---

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP03/08249

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	US 5206544 A (INTERNATIONAL BUSINESS MACHINES CORP.), 27 April, 1993 (27.04.93), Column 5, line 60 to column 6, line 54; Fig. 2 & JP 4-345317 A	4-5, 14
Y	US 4945259 A (BURR-BROWN CORP.), 31 July, 1990 (31.07.90), Column 1, lines 38 to 54; Fig. 2B & JP 2-186706 A & DE 3937501 A & GB 2224900 A & FR 2638913 A	4-5, 14
Y	US 5006732 A (CANON KABUSHIKI KAISHA), 09 April, 1991 (09.04.91), Column 1, lines 11 to 27; Figs. 4A, 4B & JP 1-296815 A	4-5, 14
Y	JP 4-56888 A (Nippon Telegraph And Telephone Corp.), 24 February, 1992 (24.02.92), Page 3, lower left column, line 4 to lower right column, line 16; Figs. 4 to 6 (Family: none)	14
Y	WO 99/65011 A2 (KONINKLIJKE PHILIPS ELECTRONICS N.V.), Description, page 9, line 18 to page 12, line 14; page 14, lines 26 to 31; Figs. 2 to 3 & US 6373454 B1 & JP 2002-517806 A	20
A	JP 5-142572 A (Toshiba Corp.), 11 June, 1993 (11.06.93), Par. Nos. [0019] to [0022]; Fig. 1 (Family: none)	1-20
E, A	DE 10307320 A1 (MITSUBISHI DENKI KABUSHIKI KAISHA), 04 September, 2003 (04.09.03), Full description; all drawings & CN 1440120 A	4-17
A	EP 1170718 A1 (SEIKO EPSON CORP.), 09 January, 2002 (09.01.02), Par. Nos. [0026] to [0027]; Figs. 4 to 5 & WO 02/05254 A1 & GB 2364593 A & US 2002/0033718 A1 & KR 2002032570 A & CN 1388951 A	20

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl.⁷ G09G3/36, 3/30, G02F1/133

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl.⁷ G09G3/36, 3/30, G02F1/133, H03K17/00

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年

日本国公開実用新案公報 1971-2003年

日本国登録実用新案公報 1994-2003年

日本国実用新案登録公報 1996-2003年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X Y A	J P 5-142573 A (株式会社東芝) 1993. 06. 11 請求項1、段落番号【0014】～【0020】、【0026】 ～【0028】、図1～図6 (ファミリーなし)	1-2, 18-19 4-5, 14, 20 3, 6-13, 15-17
Y	J P 3-293813 A (富士通株式会社) 1991. 12. 25 第2頁左上欄第19行目～右上欄第16行目、第6図 (ファミリーなし)	4-5, 14

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの

「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」 口頭による開示、使用、展示等に言及する文献

「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」 同一パテントファミリー文献

国際調査を完了した日

29. 09. 03

国際調査報告の発送日

14.10.03

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

小川 浩史



2G

9114

電話番号 03-3581-1101 内線 3226

C (続き). 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP 5-291917 A (オリンパス光学工業株式会社) 1993. 11. 05 段落番号【0002】、図2 (ファミリーなし)	4-5, 14
Y	US 5206544 A (INTERNATIONAL BUSINESS MACHINES CORPORATION) 1993. 04. 27 第5欄第60行目～第6欄第54行目、図2 & JP 4-345317 A	4-5, 14
Y	US 4945259 A (BURR-BROWN CORPORATION) 1990. 07. 31 第1欄第38行目～第54行目、図2B & JP 2-186706 A & DE 3937501 A & GB 2224900 A & FR 2638913 A	4-5, 14
Y	US 5006732 A (CANON KABUSHIKI KAISHA) 1991. 04. 09 第1欄第11行目～第27行目、図4A、図4B & JP 1-296815 A	4-5, 14
Y	JP 4-56888 A (日本電信電話株式会社) 1992. 02. 24 第3頁左下欄第4行目～右下欄第16行目、第4図～第6図 (ファミリーなし)	14
Y	WO 99/65011 A2 (KONINKLIJKE PHILIPS ELECTRONICS N.V.) 1999. 12. 16 明細書第9頁第18行目～第12頁第14行目、第14頁第26 行目～第31行目、図2～図3 & US 6373454 B1 & JP 2002-517806 A	20
A	JP 5-142572 A (株式会社東芝) 1993. 06. 11 段落番号【0019】～【0022】、図1 (ファミリーなし)	1-20
E, A	DE 10307320 A1 (MITSUBISHI DENKI K.K.) 2003. 09. 04 明細書全体、全図 & CN 1440120 A	4-17

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	EP 1170718 A1 (SEIKO EPSON CORPORATION) 2002.01.09 段落番号 [0026] ~ [0027]、図4~図5 &WO 02/05254 A1 &GB 2364593 A &US 2002/0033718 A1 &KR 2002032570 A &CN 1388951 A	20